



PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

	Application Number	10/707,645	
	Filing Date	12/30/2003	
	First Named Inventor	Ming-Shi Liou	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	VIAP0084USA

ENCLOSURES (Check all that apply)

<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/ Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation <input type="checkbox"/> Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____ Remarks Response to the office action has been sent to the examiner by fax on 12/04/2003	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please Identify below):
--	--	--

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	
Date	31/12/2004

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name		
Signature	Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

 Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ 0.00)

Complete if Known

Application Number	10/707,645
Filing Date	12/30/2003
First Named Inventor	Ming-Shi Liou
Examiner Name	
Art Unit	
Attorney Docket No.	VIAP0084USA

METHOD OF PAYMENT (check all that apply)

 Check Credit card Money Order Other None
 Deposit Account:

Deposit Account Number
50-0801

North America International Patent Office

The Director is authorized to: (check all that apply)

- Charge fee(s) indicated below Credit any overpayments
 Charge any additional fee(s) or any underpayment of fee(s)
 Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity	Small Entity	Fee Code (\$)	Fee Code (\$)	Fee Description	Fee Paid
1001 770	2001 385	Utility filing fee			
1002 340	2002 170	Design filing fee			
1003 530	2003 265	Plant filing fee			
1004 770	2004 385	Reissue filing fee			
1005 160	2005 80	Provisional filing fee			
SUBTOTAL (1)		(\$ 0.00)			

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims	Independent Claims	Multiple Dependent	Extra Claims	Fee from below	Fee Paid
			-20** =	X	=
			- 3** =	X	=

Large Entity	Small Entity	Fee Code (\$)	Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20		
1201 86	2201 43	Independent claims in excess of 3		
1203 290	2203 145	Multiple dependent claim, if not paid		
1204 86	2204 43	** Reissue independent claims over original patent		
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent		
SUBTOTAL (2)		(\$ 0.00)		

**or number previously paid, if greater; For Reissues, see above

3. ADDITIONAL FEES

Large Entity Small Entity

Fee Code (\$)	Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for ex parte reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 420	2252 210	Extension for reply within second month	
1253 950	2253 475	Extension for reply within third month	
1254 1,480	2254 740	Extension for reply within fourth month	
1255 2,010	2255 1,005	Extension for reply within fifth month	
1401 330	2401 165	Notice of Appeal	
1402 330	2402 165	Filing a brief in support of an appeal	
1403 290	2403 145	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,330	2453 665	Petition to revive - unintentional	
1501 1,330	2501 665	Utility issue fee (or reissue)	
1502 480	2502 240	Design issue fee	
1503 640	2503 320	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 770	2809 385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 770	2810 385	For each additional invention to be examined (37 CFR 1.129(b))	
1801 770	2801 385	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ 0.00)

(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature	<i>Winston Hsu</i>				
Date	3/12/2004				

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



PTO/SB/02B (11-00)

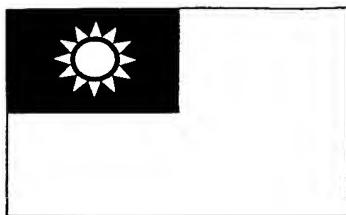
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



VIS 84

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 02 月 27 日
Application Date

申 請 案 號：092104319
Application No.

申 請 人：威盛電子股份有限公司
Applicant(s)

局 長

Director General

蔡 練 生



發文日期：西元 2003 年 4 月 10 日
Issue Date

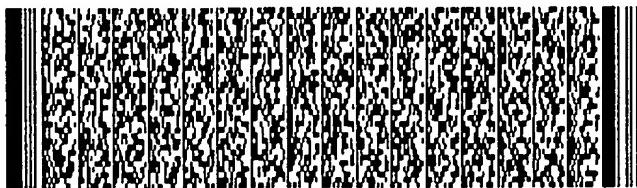
發文字號：09220356180
Serial No.

申請日期：	
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一 發明名稱	中文	以互斥位元模式比對進行之記憶體位址解碼方法及相關裝置
	英文	Address Decoding Method And Related Apparatus By Comparing Mutually Exclusive Bit-Patterns Of Address
二 發明人 (共1人)	姓名 (中文)	1. 劉明熙
	姓名 (英文)	1. Liou, Ming-Shi
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三 申請人 (共1人)	名稱或 姓名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓名 (英文)	1. VIA TECHNOLOGIES, INC.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
代表人 (中文)	1. 王雪紅	
代表人 (英文)	1. Wang, Hsueh-Hung	



四、中文發明摘要 (發明名稱：以互斥位元模式比對進行之記憶體位址解碼方法及相關裝置)

本發明提供一種於一記憶裝置中進行位址解碼的方法及相關裝置，以判斷一給定位址屬於該記憶裝置中的那個區段。該記憶裝置中設有複數個區段，各區段中設有複數個記憶單元；而該方法首先係根據各區段中記憶單元的數量，將不同的記憶單元對應於不同的二進位單元位址，並使各單元位址中有部分位元形成一共同位址，同一區段之不同記憶單元具有相同之共同位址，且不同區段記憶單元之共同位址為互斥。而當要判斷該給定位址所屬的區段時，係比對各區段對應之共同位址是否與該給定位址中的對應位元相符。

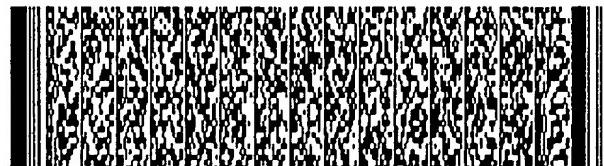
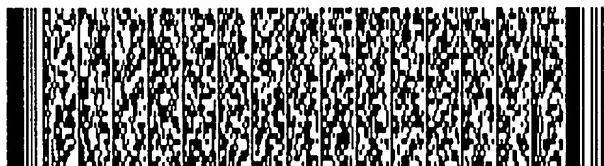
五、(一)本發明之代表圖為圖六。

(二)本發明代表圖之圖式符號說明：

78 控制電路	100	邏輯模組
101 存取模組	96A-96D	位元模式

六、英文發明摘要 (發明名稱：Address Decoding Method And Related Apparatus By Comparing Mutually Exclusive Bit-Patterns Of Address)

A method and related apparatus for decoding a given address in a memory device. The memory device includes a plurality of sections, and each section has a plurality of memory units. The method includes: associating each memory unit with a binary address according to a quantity of memory units of every section, such that each address has a number of bits forming a common



四、中文發明摘要 (發明名稱：以互斥位元模式比對進行之記憶體位址解碼方法及相關裝置)

111 比較模組

112A-112D 比較單元

116 排序模組

六、英文發明摘要 (發明名稱：Address Decoding Method And Related Apparatus By Comparing Mutually Exclusive Bit-Patterns Of Address)

address, the common addresses of different memory units in the same section are identical, and the common addresses of memory units of different sections are mutually exclusive. While deciding which section the given address belongs, comparing if corresponding bits of the given address match the common address of a section.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

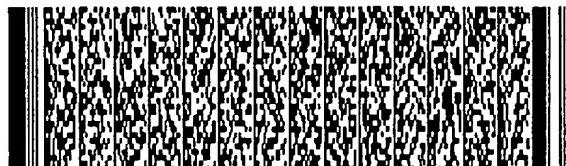
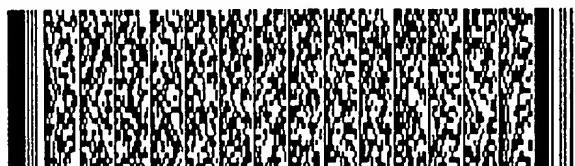
發明之技術領域：

本發明提供一種進行記憶體初步位址解碼的方法及相關裝置，尤指一種利用互斥位元模式比對進行記憶體初步位址解碼的方法及相關裝置。

先前技術：

在現代社會中，能快速處理、管理各種數位資料、資訊為社會各項複雜的運作成為現今各項機器運行系統的效率。尤其隨著微處理機的普及化，使得記憶裝置的容量越来越大，如何使微處理機能快速有效地存取高容量的記憶裝置，也成為現代資訊廠商研發的重點之一。

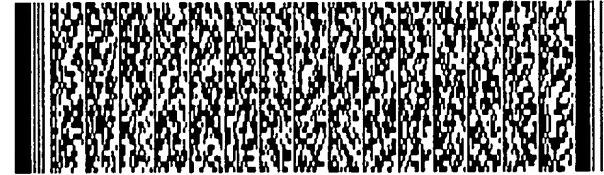
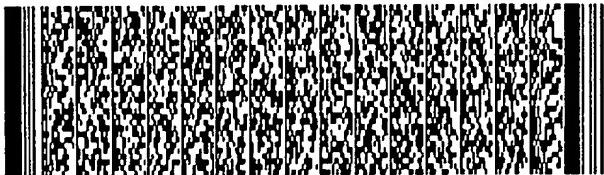
請參考圖一。圖一為一典型電腦 10 的功能方塊示意圖。電腦 10 做為一微處理機系統，其中設有一中央處理器 12、一晶片組 14、一記憶裝置 16、一顯示卡 18、一顯



五、發明說明 (2)

示器 20、一週邊裝置 22 及一基本輸出入系統 24。中央處理器 12 用來處理數據、資料，以主控電腦 10 的運作；記憶裝置 16 即用來以揮發性的方式暫存中央處理器 12 運作期間所需的程式、數據。顯示卡 18 用來處理影像訊號，以將電腦 10 運作的情形在顯示器 20 上顯示為影像畫面；週邊裝置 22 則可包括鍵盤、滑鼠等人機介面、用來以非揮發性方式儲存資料的硬碟機、光碟機、用來使電腦 10 連接於網路的網路卡或是處理聲音訊號的音效卡等等。基本輸出入系統 (BIOS, basic input/output system) 24 則用來儲存電腦 10 開機時一些基本檢查程序進行的設定及程式碼等等。而晶片組 14 即用來管理中央處理器 12 與記憶裝置 16、顯示卡 18、週邊裝置 22、基本輸出入系統 24 間的資料往來傳輸。晶片組 14 中可設有北橋電路 26A 及南橋電路 26B；北橋電路 26A 用來管理中央處理器 12 與記憶裝置 16、顯示卡 18 間較高速的資料傳輸，南橋電路 26B 則用來管理中央處理器 12 與週邊裝置 22、基本輸出入系統 24 間較低速的資料傳輸。為了管理對記憶裝置 16 的存取，北橋電路 26A 中還設有一控制電路 28。

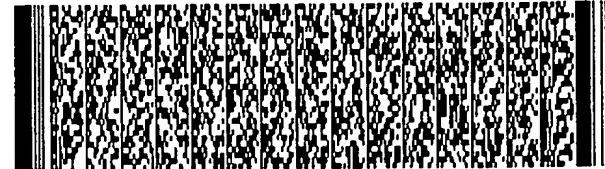
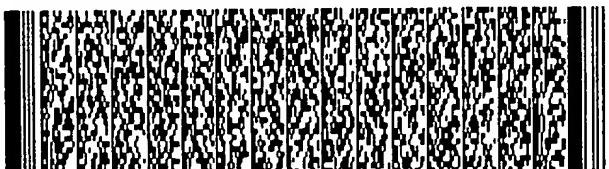
在現代的電腦架構下，記憶裝置 16 通常由數個記憶模組共同組成，像圖一中就繪出了四個記憶模組 30A 至 30D 作為代表。每個記憶模組 30A 至 30D 中各包含有複數個記憶單元 34，各記憶單元 34 用來記錄一位元 (bit) 的數位資料；集合所有記憶模組 30A 至 30D 中所有的記憶單元



五、發明說明 (3)

34，就是記憶裝置 16總共能提供的記憶容量。在現行技術下，記憶模組多半被實做成獨立的電路，可透過電腦 10中的插槽連接於電腦 10以形成記憶裝置 16；不同的記憶模組可具有不同數量的記憶單元（也就是說，各記憶模組可具有不同的記憶容量），使用者可依需要選購不同容量的記憶模組，裝備記憶裝置 16。一般而言，記憶模組中的記憶單元會分佈於兩個直列 (rank)記憶陣列；舉例來說，像圖一中所示，記憶模組 30A即具有兩直列記憶陣列 32A、32B。而控制電路 28則會分別以一控制訊號來控制對一直列記憶陣列的資料存取。就如圖一中所示，控制訊號 CSp0、CSp1即分別對應記憶模組 30A中的兩個直列記憶陣列 32A、32B；而控制訊號 CSp2至 CSp7則分別對應於記憶模組 30B、30C及 30D的直列記憶陣列。

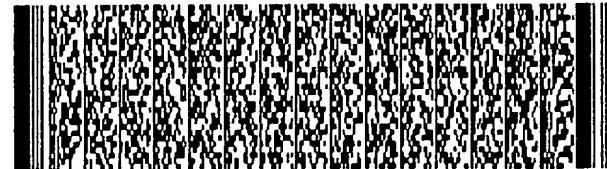
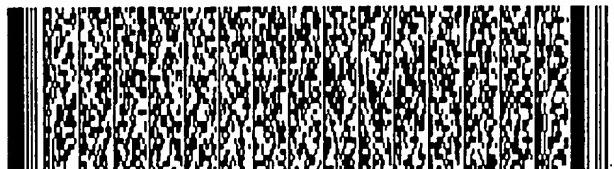
一般來說，記憶裝置 16都能支援隨機存取 (random access)的功能，也就是能任意存取記憶裝置 16中任何一個記憶單元 34中的資料；為了管理對記憶裝置 16中各記憶單元 34之隨機存取，記憶裝置 16中的各記憶單元 34會被指派 (assign)到一個獨一無二的位址，做為單元位址。當中央處理器 12要存取記憶裝置 16中某一特定記憶單元 34的資料時，中央處理器 12就可向控制電路 28提示該特定記憶單元 34的位址，由控制電路 28依據該位址解碼出該特定記憶單元 34實際所在的記憶模組，以實際對該特定記憶單元 34進行資料存取。也就是說，當控制電



五、發明說明 (4)

路 28 接收到對應一特定記憶單元的給定位址（像是由中央處理器 12 指定的）時，控制電路 28 就要解碼出該給定位址所在的記憶模組，甚至是該給定位址所在的直列記憶陣列，再以該直列記憶陣列對應之控制訊號去觸發該直列記憶陣列，以配合該特定記憶單元所在的記憶模組，存取到該特定記憶單元的資料（通常每個記憶模組中會有自己的位址解碼電路，可進一步解碼出該給定位址對應的特定記憶單元）。

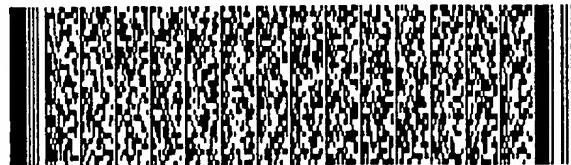
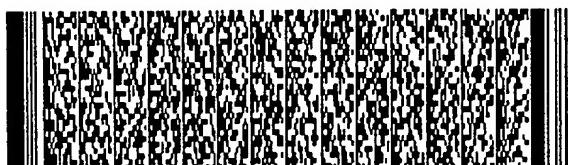
關於記憶裝置 16 中各記憶單元位址指派的情形，請參考圖二（並一併參考圖一）。圖二即為習知技術下，在記憶裝置 16 中對各記憶單元進行位址指派的示意圖。如圖二所示，假設記憶模組 30A 至 30D 分別具有 2^{25} (二的二十五次方)、 2^{27} 、 2^{28} 以及 2^{26} 個記憶單元，也就是說，記憶模組 30A 至 30D 的記憶容量分別為 32 百萬位元、128 百萬位元、256 百萬位元以及 64 百萬位元。這裡的一百萬位元 (Megabit) 也就代表有 2^{20} 個位元，也就是 2^{20} 個各儲存一位元的記憶單元。當電腦開機後，控制電路 28 就會將數值線性遞增的位址，依序分配給記憶模組 30A 至 30D 中的每個記憶單元。當然，在數位電路中，二進位是最基本的數值表示方式，各記憶單元的對應位址也以二進位來表示。舉例來說，如圖二中所示，各記憶單元的對應位址皆以二進位下的 32 個位元來表示，以第 0 位元為最不重要的位元，第 31 位元為最重



五、發明說明 (5)

要的位元。在位址指派後，記憶模組 30A中的第一個記憶單元會被指派為位址 36A，其值為二進位的「000…0」，也就是所有的位元皆為「0」。接下來的各個記憶單元之對應位址就會依序遞增，像是第二個記憶單元之位址為 36B，其值為「00…01」（僅第 0位元為「1」）；而第三個記憶單元之位址為 36C，其值繼續由位址 36B遞增 1而變成為「0…010」（僅第 1位元為「1」），以此類推。到了記憶模組 30A中的倒數第二個記憶單元（也就是第 $(2^{25}-1)$ 個記憶單元），其對應位址 36D之值就會遞增至二進位的「0…01…10」（由第 1至第 24位元為「1」，餘為「0」）；而記憶模組 30A中最後一個記憶單元（也就是第 2^{25} 個記憶單元），其對應位址 36E也由位址 36D再遞增 1而成為「0…01…1」（第 0至第 24位元為「1」，餘為「0」）。

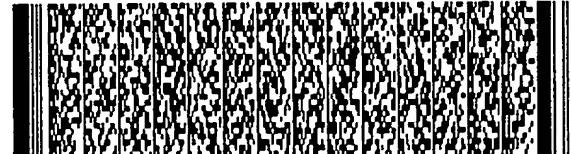
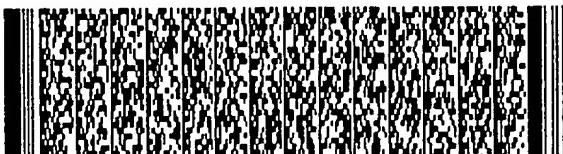
控制電路 28在指派位址時，會將記憶裝置 16中所有記憶模組的所有記憶單元視為一整體；所以當控制電路 28在將位址指派至記憶模組 30B時，其位址之值會由位址 36E（也就是記憶模組 30A中值最大的位址）繼續遞增。如圖二中所示，記憶模組 30B中第一個記憶單元會被對應至位址 38A，其值會由位址 36E之值遞增 1，而成為二進位的「0…010…0」（僅第 25位元為「1」），代表這個記憶單元會被視為記憶裝置 16中的第 $(2^{25}+1)$ 個記憶單元，也就是由記憶模組 30A第一個記憶單元（位址 36A對



五、發明說明 (6)

應之記憶單元) 算來的第 $(2^{25}+1)$ 個記憶單元。同理，記憶模組 30B 中第二個記憶單元會被視為記憶裝置 16 中的第 $(2^{25}+2)$ 個記憶單元，其對應位址 38B 會再由位址 38A 遷增 1，成為二進位的「0…010…01」(僅第 0 及第 25 位元為「1」)。由於記憶模組 30B 中有 2^{27} 個記憶單元，所以到了記憶模組 30B 中的最後兩個記憶單元，就分別成為記憶裝置 16 中第 $(2^{25}+2^{27}-1)$ 及第 $(2^{25}+2^{27})$ 個記憶單元，而其對應的位址 38C、38D 則分別遞增至二進位的「0…01001…10」(第 1 至第 24 位元、第 27 位元為「1」，餘為「0」) 及「0…01001…11」(第 0 至第 24 位元：第 27 位元為「1」，餘為「0」)。

依照上述的原則類推，到了記憶模組 30C(也就是第三個記憶模組)，其第一個記憶單元之對應位址 42A(也就是記憶模組 30C 中其值最小的位址) 會由位址 38D 之值遞增 1，成為二進位的「0…01010…0」(僅第 25 及第 27 位元為「1」)，也代表此一記憶單元為記憶裝置 16 中，由位址 36A 之記憶單元數來的第 $(2^{25}+2^{27}+1)$ 個記憶單元。到了記憶模組 30C 中的第 2^{28} 個位址 42B(也就是記憶模組 30C 中其值最大的位址)，其值就會遞增至二進位的「0…011001…1」(第 0 至第 24、第 27、第 28 位元為「1」，餘位元為「0」)，代表其為位址 36A 依序遞增以來第 $(2^{25}+2^{27}+2^{28})$ 個位址。同理，到了第四個記憶模組 30D，其第一個記憶單元對應之位址 44A 即繼續由位



五、發明說明 (7)

址 42B遞增 1，成為二進位的「0…011010…0」（第 25、第 27 及第 28 位元為「1」），而記憶模組 30D 最後一個記憶單元之位址 44B，也就繼續遞增至「0…011101…1」（第 26 至第 28、第 0 至第 24 位元為「1」，餘位元為「0」）；代表其為位址 36A 以來，第 $(2^{25}+2^{27}+2^{28}+2^{26})$ 個位址。

在位址指派後，由各記憶模組中第一個位址（也就是第一個記憶單元對應之位址）及最後一個位址，就可針對每一記憶模組訂出一結尾 (ending) 位址。如圖二所示。由於記憶模組 30A 中分配到的所有位址均小於記憶模組 30B 中的第一個位址 38A，故位址 38A 可視為記憶模組 30A 對應之結尾位址 46A。同理，記憶模組 30B（及記憶模組 30A）中各個記憶單元被指派到的位址均小於記憶模組 30C 中其值最小的位址 42A，故位址 42A 可視為記憶模組 30B 對應的結尾位址 46B。而記憶模組 30C 連同記憶模組 30A、30B 中被分配到的位址均小於記憶模組 30C 對應之結尾位址 46C（也就是記憶模組 30D 的最小位址 44A）。最後，記憶模組 30D 中的所有位址均小於結尾位址 46D。請注意，各結尾位址 46A 至 46D 也就是以二進位表示各記憶模組容量累加之結果。如結尾位址 46A 代表的是二進位之 2^{25} ，也就是記憶模組 30A 的記憶容量（即記憶模組 30A 記憶單元的數量）；結尾位址 46B 代表的是二進位的 $(2^{25}+2^{27})$ ，代表記憶模組 30A、30B 記憶容量的總

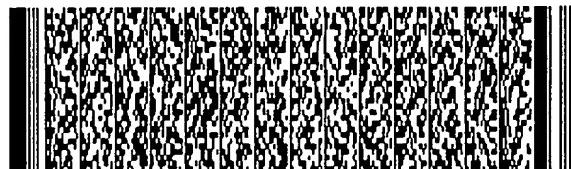
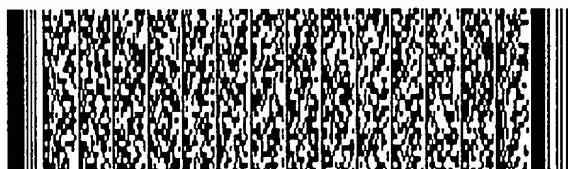


五、發明說明 (8)

和；結尾位址 46C 代表的是二進位的 ($2^25 + 2^27 + 2^28$)，也就是記憶模組 30A、30B 及 30C 記憶容量累加的結果。最後，結尾位址 46D 代表的是二進位的 ($2^25 + 2^27 + 2^28 + 2^26$)，也就是累加記憶模組 30A 至 30D 記憶容量的結果。

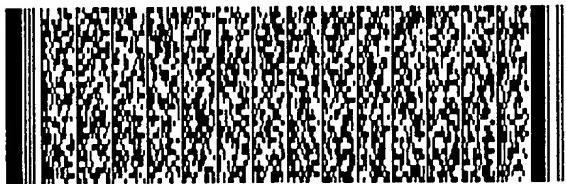
由上述描述可知，即使記憶裝置 16 中的各個記憶單元可能分屬不同的記憶模組，控制電路 28 還是會將各記憶單元視為一整體，將連續遞增的位址指派至各個記憶單元，方便電腦 10 中的其他電路將各記憶模組提供的記憶單元視為一整體以進行存取。不過，如前所述，當中央處理器 12（或其他電路）要以一給定位址存取一對應記憶單元之資料時，控制電路 28 就要進行初步的位址解碼，先確定該記憶單元所在的記憶模組（甚至是記憶單元所在的直列記憶陣列），才能在後續的過程中進一步實際存取到該記憶單元。

請繼續參考圖三（及圖一、二）。圖三即為習知技術中，控制電路 28 進行初步位址解碼功能之功能方塊示意圖。在控制電路 28 中，設有一存取模組 51、複數個減法模組 48A 至 48D 及一邏輯模組 50。存取模組 51 用來暫存中央處理器 12（或其他電路）傳至控制電路 28 的給定位址 54；而控制電路 28 即會對此給定位址進行初步的位址解碼。在習知技術中，當控制電路 28 要進行初步之位址



五、發明說明 (9)

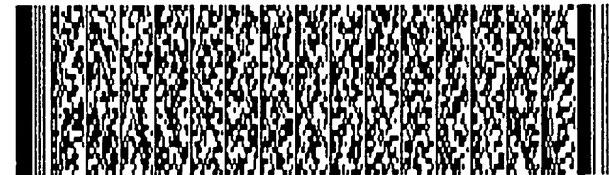
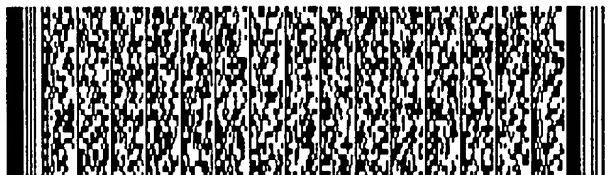
解碼而判斷一給定位址 54屬於哪一個記憶模組時，控制電路 28可用軟體或硬體的方式，實現出減法模組 48A至 48D以及邏輯模組 50的功能。減法模組 48A至 48D分別用來將給定位址 54與結尾位址 46A至 46D相減（請一併參考圖二），以減運算結果之正負分辨出給定位址與各結尾位址 46A至 46D之相對大小。減法器得出的結果會由邏輯模組 50進一步整合，以實際判斷出給定位址 54所屬的記憶模組，並產生對應的解碼結果，像是以指示訊號 HPA至 HPD來代表給定位址 54所屬的記憶模組。舉例來說，若給定位址 54屬於記憶模組 30A，給定位址 54就會小於各結尾位址 46A至 46D。若給定位址 54屬於記憶模組 30B，給定位址 54就會小於結尾位址 46B至 46D，但不小於結尾位址 46A。同理，當給定位址 54對應之記憶單元屬於記憶模組 30D時，給定位址 54只會小於結尾位址 46D，但不小於結尾位址 46A至 46C。像是在圖三中所繪出的，若給定位址 54為「0… 010010… 0」（僅第 25、第 28位元為「1」），則其不小於結尾位址 46A、46B但小於結尾位址 46C、46D，由此邏輯模組 50就可判斷此給定位址 54對應於記憶模組 30C中的記憶單元。而邏輯模組 50就可使指示訊號 HPC之電壓升高為代表數位「1」（或邏輯「真」）的高位準，以表示給定位址 54屬於記憶模組 30C；而其他指示訊號 HPA、HPB及 HPD之電壓則為代表「0」（或邏輯「偽」）的低位準，以分別表示給定位址 54不屬於記憶模組 30A、30B及 30D。



五、發明說明 (10)

總結控制電路 28的運作，當電腦 10開機後，控制電路 28會掃描記憶裝置 16中各記憶模組的記憶容量大小，並對各記憶單元進行位址指派，此時控制電路 28也能計算出初步位址解碼所需的結尾位址。等到後續有其他電路要存取某個給定位址的記憶單元時，控制電路 28就能依據結尾位址，利用其減法模組、邏輯模組進行初步的位址解碼，求出該給定位址所屬的記憶模組，並在後續的過程中配合該給定位址所屬的記憶模組，實際存取到該給定位址對應的記憶單元。

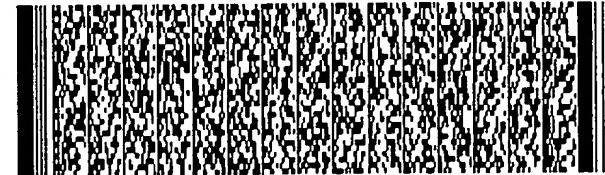
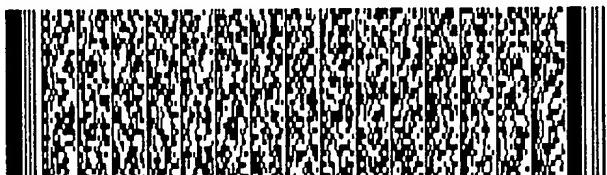
不過，不管圖三中的習知技術是以硬體電路來實現減法模組，或是以北橋電路 26A之微控制器執行軟體程式來實現減法模組的功能，其運作的效率皆不高。以硬體電路之實施方式來說，要實現減法模組而將兩個二進位數相減，可將其中一數取補數（像是 1之補數，或是 2之補數），形成該數的負數，再以二進位的加法器將該數的負數和另一數相加。由於二進位的加法器在將兩個二進位數相加時，要由兩數最不重要的位元（LSB，也就是第 0位元）開始，進行位元對位元的相加，再進位到下一位元，才能一個位元一個位元地逐漸完成兩數的相加。舉例來說，有兩個二進位數 A1、A2分別為「101」與「011」；當兩數要相加而得出一和 (sum)S時，要先從兩數的第 0位元相加，由「1」+「1」得出「0」成為和 S的



五、發明說明 (11)

第 0 位元，並要進位「1」至下一個位元。得到進位後，接下來才能進行兩數第 1 位元相加之計算，由數 A1 的第 1 位元「0」加數 A2 的第 1 位元「1」，再加上由兩數第 0 位元相加而進位的「1」，故得出和 S 的第一位元為「0」，又要進位「1」至次一位元。得到兩數第一位元相加之進位後，才能繼續進行數 A1、A2 第 2 位元之相加，由數 A1 的第 2 位元「1」加數 A2 的第 2 位元「0」，再加上由兩數第 1 位元進位而來的「1」，得出和 S 的第 2 位元為「0」，進位「1」，最後得出和 S 為「1000」。

由上述描述可知，由於在進行二進位數之加法時，不僅兩數的對應位元要相加，還要等待前一位元進位而來的結果，才能得出正確的加算結果；而兩數加運算所需時間，就是各對應位元分別進行加運算累計所需時間之和。也就是說，加法中二進位數的位元越多，加法運算所需時間也就會累增。而上述加運算時間消耗之特性會直接反映於習知的初步位址解碼技術中；當圖三中的習知技術要以減法模組進行之減運算來分別比較給定位址 54 與各結尾位址 46A 至 46D 之大小關係時，就會消耗相當的時間在減運算上，並導致習知控制電路 28 進行初步位址解碼的效率低落，無法快速地解碼出給定位址所屬的記憶模組。一旦位址解碼的效率低落，中央處理器 12（見圖一）就不能快速有效率地存取記憶裝置 16 的記憶資源，使整個電腦 10 運作的效率也無法有效提升。

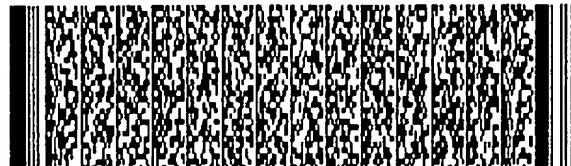


發明內容：

因此，本發明之主要目的，在於提供一種以互斥位元模式直接比對進行之位址解碼方法及相關裝置，能快速有效率地進行給定位址之初步位址解碼，克服習知技術的缺點。

在習知技術中，當要對一給定位址進行初步的位址解碼而判斷該給定位址屬於哪一個記憶模組（或是哪一個三列記憶陣列）時，是以減運算（等效上也就是加運算）之結果來比較該給定位址與各預設之結尾位址間的大小關係，以判斷出該給定位址屬於哪一個記憶模組，完成初步位址解碼。然而，由於加運算要以逐位元累加進位的方法，一個位元一個位元依序地先後進行，才能得出正確的加運算結果。因此，習知技術中以減運算為比對基礎的初步位址解碼方式，其運作的速度及效率較低，導致電腦不能快速有效率地存取記憶資源。

在本發明中，則是以互斥位元模式比對的方式來進行初步位址解碼。經由本發明揭露之排序技術，就可根據各記憶模組記憶容量的大小使不同記憶單元對應於不同的位址，並使得屬於各記憶模組中的各個位址具有特定的互斥位元模式。換句話說，在屬於同一記憶模組的

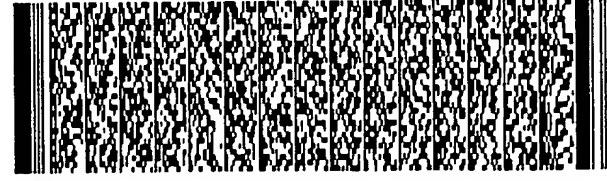
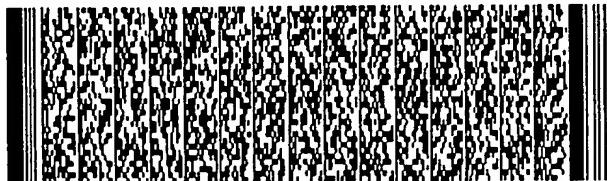


五、發明說明 (13)

所有位址中，必定有某幾個特定的位元為固定之值，形成該記憶模組中各位址所共有的共同位址，而不同記憶模組對應的共同位址則為互斥的（也就是說，兩不同記憶模組的共同位址中必定有至少一位元為相異）。比較給定位址是否符合各記憶模組的共同位址（也就是此給定位址中特定的位元是否符合固定之預設值），就能判斷給定位址屬於那個記憶模組，解碼出給定位址與共同位址間對應位元之值是否相符，不需要像加運算中一般在不同位元間進行累算、進位，故本發明之技術能快速有效地完成初步位址解碼，提升電腦存取記憶裝置的速度及效率，進而改善電腦整體的運作效能。

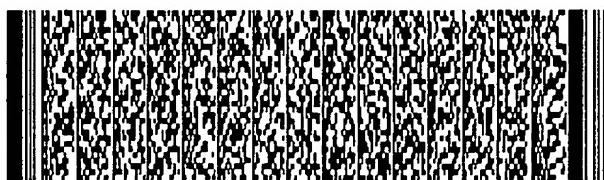
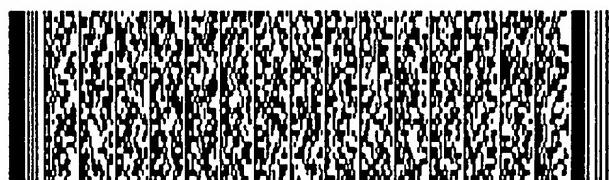
實施方法：

請參考圖四。圖四為本發明中之電腦 60 之功能方塊示意圖。電腦 60 做為一微處理機系統，其設有一中央處理器 62、一晶片組 64、一記憶裝置 66、一顯示卡 68、一顯示器 70、一週邊裝置 72 及基本輸出入系統 74。中央處理器 62 用來主控電腦 60 的操作，記憶裝置 66 用來以揮發性的方式暫存中央處理器 62 運作期間所需的程式及數據、資料；顯示卡 68 用來處理影像訊號，使電腦 60 運作的情形能以圖形畫面顯示於顯示器 70 上。週邊裝置 72 可包括讓使用者輸入操控指令的鍵盤、滑鼠、用來以非揮



五、發明說明 (14)

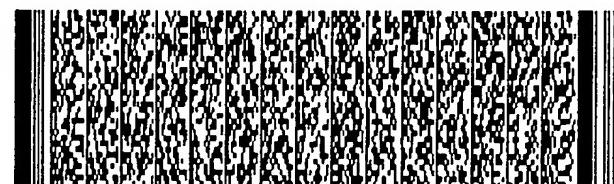
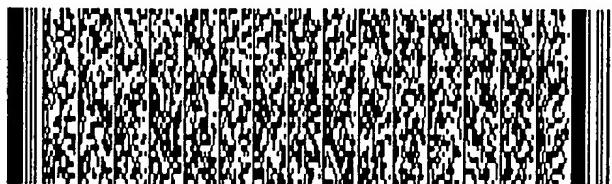
發性的方式儲存資料的硬碟機、光碟機，用來處理聲音訊號的音效卡或是用來將電腦 60 連接於網路的網路卡等等。基本輸出入系統 74 中則儲存了電腦 60 開機後進行初始化之設定值及相關程式。而晶片組 64 用來管理顯示卡 68、記憶裝置 66、週邊裝置 72、基本輸出入系統 74 與中央處理器 62 間資料的往來傳輸。晶片組 64 中可設有一北橋電路 76A、南橋電路 76B；北橋電路 76A 用來主控記憶裝置 66、顯示卡 68 與中央處理器 62 間較高速的資料傳輸，南橋電路 76B 用來主控週邊裝置 72、基本輸出入系統 74 與中央處理器 62 間較低速的資料傳輸。在本發明中，記憶裝置 66 可沿用典型的配置，以多個記憶模組（圖四中繪出四個記憶模組 80A 至 80D 做為代表）來組合出記憶裝置 66 的總記憶容量。各記憶模組 80A 至 80D 中分別設有複數個記憶單元 84，各記憶單元 84 用來暫存 1 單位（像是一位元）的資料；集合各記憶模組的所有記憶單元，就構成記憶裝置 66 的總記憶容量。就像典型的配置一樣，各記憶模組的複數個記憶單元也可分佈於兩個直列記憶陣列 (rank)；以記憶模組 80A 為例，記憶模組 80A 中的各記憶單元就分設於兩個直列記憶陣列 82A、82B。為了控制電腦 60 中各電路對記憶裝置 66 的存取，北橋電路 76A 中設有一控制電路 78，並以控制訊號 CS0 至 CS7 分別控制各記憶模組 80A 至 80D 中不同直列記憶陣列的存取。就像現行技術下的作法，控制電路 78 也會將不同的位址（也就是單元位址）分別指派給記憶裝置 66 中的各記憶單元 84，以



五、發明說明 (15)

對記憶裝置 66 進行隨機存取；當然，當中央處理器 62 (或其他電路) 要存取一給定位址的記憶單元時，控制電路 78 就要進行初步的位址解碼，計算出該給定位址對應記憶單元是屬於哪一個記憶模組 (或進一步地，屬於哪一個直列記憶陣列)，進而以對應的控制訊號觸發該直列記憶陣列，實際存取該記憶單元的資料。

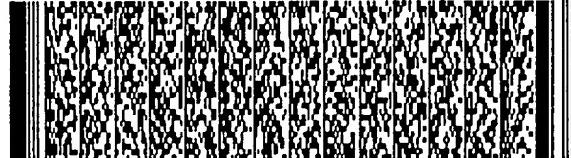
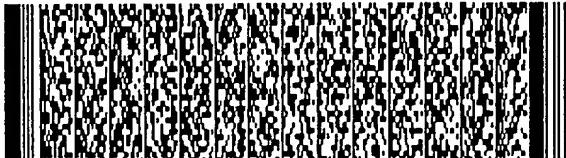
請參考圖五 (並一併參考圖四)。圖五即為本發明進行位址指派時各記憶模組中位址分佈的示意圖。為了方便和圖二中的習知技術作比較，圖五中也假設本發明中之記憶模組 80A 至 80D 分別具有 32 百萬、128 百萬、256 百萬及 64 百萬位元的記憶容量，也就是分別具有 2^{25} 、 2^{27} 、 2^{28} 及 2^{26} 個記憶單元；而本發明也會將線性遞增的 32 位元二進位位址指派至每一記憶單元。不過，本發明會依據各記憶模組中的容量多少，來進行位址指派。本發明的基本原則是，記憶容量越大的記憶模組，其所被指派的位址就越小。所以，就像圖五中所顯示的，在以本發明之技術進行位址指派時，會依據記憶容量由大到小的順序，依序由記憶模組 80C、80B、80D 及 80A 指派遞增的位址。換句話說，記憶容量最小的記憶模組 80A，其所被分配到的位址之值最大，記憶模組 80D 之位址值居次，記憶模組 80B 被指派到的位址值又小於記憶模組 80D 中各個位址值，而記憶容量最大的記憶模組 80C，其所被分配到的位址值反而最小。如圖五中所示，



五、發明說明 (16)

記憶模組 80C 中的第一個記憶單元會被指派到位址 86A，其值為二進位的「0…0」（各位元均為「0」），而記憶模組 80C 中其他的位址則由位址 86A 遞增，像是位址 86B 是由位址 86A 遞增 1 而成為「0…01」（僅第 0 位元為「1」）。在依序將遞增的位址指派給記憶模組 80C 的 256 百萬個記憶單元後，其最後兩個記憶單元所被分配到的位址 86C、86D 也就分別遞增至二進位的「00001…10」（第 1 至第 27 位元為「1」）及「00001…1」（第 0 至第 27 位元為「1」）。

在本發明進行位址指派時，也會將各記憶模組的記憶單元視為一整體，故對記憶容量僅次於記憶模組 80C 的記憶模組 80B 來說，其所被分配到的第一個位址 88A（也就是記憶模組 80B 中值最小的位址），其值也是由位址 86D 遞增 1 而成為二進位的「00010…0」（僅第 28 位元為「1」）；記憶模組 80B 中的其他位址則是由位址 86D 持續遞增。像是第二個位址 88B 就是由位址 88A 遞增 1 而成為「00010…01」（僅第 0、第 28 位元為「1」）。到了記憶模組 80B 中其值最大的位址 88C，就已經遞增至二進位的「000101…1」（第 0 至第 26、第 28 位元為「1」），代表位址 88C 是從位址 86A 以來，第 384 百萬（256 百萬 + 128 百萬）個位址。同理，對記憶容量又小於記憶模組 80B 的記憶模組 80D 來說，其所被指派到的第一個位址 90A 也是由記憶模組 80B 中的位址 88C 遞增 1，而成為二進位的

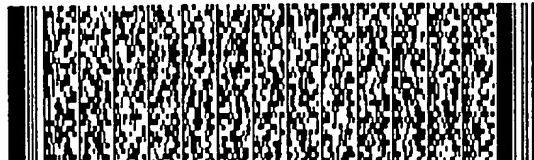


五、發明說明 (17)

「000110…0」（第 27、第 28 位元為「1」）。而記憶模組 80D 中的其他位址則由位址 90A 遷增，像是位址 90B 就是由位址 90A 遷增 1 而成為二進位的「000110…01」（第 0、第 27、第 28 位元為「1」）。到了記憶模組 80D 中最後一個位址 90C（也就是記憶模組 80D 中最大的位址），就會遷增至二進位的「0001101…1」（第 0 至第 25、第 27、第 28 位元為「1」），代表位址 90C 是從位址 86A 算來第 448（ $256+128+64$ ）百萬個位址。

依據本發明的精神，到了記憶容量最小的記憶模組 80A，其所被分配到的位址是最大的。記憶模組 80A 中的第一個位址 92A，其值就是由記憶模組 80D 中的位址 90C 遷增 1，而成為二進位的「0001110…0」（第 26 至第 28 位元為「1」），記憶模組 80A 中其他的位址則由位址 92A 遷增，像是位址 92B 就是由位址 92A 遷增 1 而成為二進位的「0001110…01」（第 0、第 26 至第 28 位元為「1」）。到了記憶模組 80A 中的最後一個位址 92C（也就是最大的位址），其值也就遷增至二進位的「00011101…1」（第 0 至第 24、第 26 至第 28 位元為「1」），代表其為位址 86A 以來，第 480 百萬個位址。

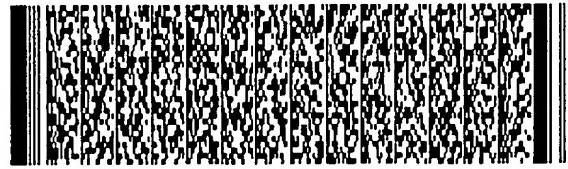
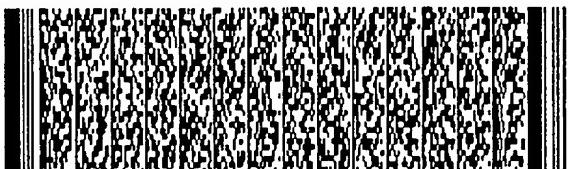
由以上描述可知，在本發明根據記憶容量排序而進行位址指派後，在記憶單元較多的記憶模組中，其記憶單元被指派到的位址也會比較小。而在經過本發明上述



五、發明說明 (18)

排序後之位址指派之後，各記憶模組中的位址也會具有特定的位元模式。如圖五所示，對屬於記憶模組 80C 的各個位址（像是位址 86A 至 86D）來說，雖然各位址的第 0 至第 27 位元會在「0」與「1」之間改變，但各位址中第 28 至第 31 位元都會維持為「0」。換句話說，對記憶模組 80C 中的各個位址來說，在各位址的 32 個位元中，第 28 至第 31 等效上就形成了一共同位址，而第 0 至第 27 位元則可視為一個別位址。對記憶模組 80C 中的不同位址來說，其個別位址都是相異的，但共同位址則是相同的。而這也就導引出對應於記憶模組 80C 的位元模式 96A。在位元模式 96A 中，第 0 位元至第 27 位元以「x」記號標示，代表在記憶模組 80C 中的各位址，其第 0 至第 27 位元可能會分別是「0」或「1」，其值不固定，不同的位址會有不同的值；而這些位元也就形成互異的個別位址。相對地，在位元模式 96A 中，第 28 至第 31 位元則都有「0」之固定值，代表記憶模組 80C 中的各個位址，其第 28 至第 31 位元必定為「0」；即使在記憶模組 80C 中的不同位址，其第 28 至第 31 位元都固定為「0」，而這也就是記憶模組 80C 中各位址的共同位址。總結來說，在記憶模組 80C 中，各位址會具有位元模式 96A 的形式，雖然第 0 至第 27 位元會在不同的位址中改變，但第 28 至第 31 位元均固定為「0」。

同理，觀察圖五中分配至記憶模組 80B 的位址（像是

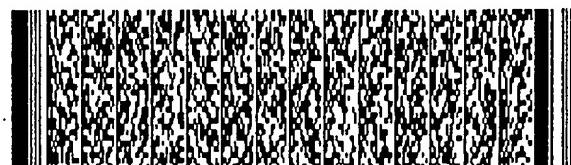
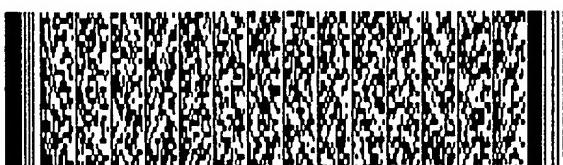


五、發明說明 (19)

位址 88A至 88C) 可看出，各位址中第 31至第 27位元固定皆為「00010」，僅第 0至第 26位元會隨位址不同而改變。而這也就形成了對應於記憶模組 80B的位元模式 96B。在位元模式 96B中，第 0至第 26位元會隨位址不同而改變而形成個別位址，但第 31至第 27位元會有固定值「00010」而成為記憶模組 80C中各位址的共同位址；換句話說，記憶模組 80C中的各個位址均會符合位元模式 96B，在第 31至第 27位元固定為「00010」，而位元模式 96B之第 0位元至第 26位元以「x」記號標示，代表在記憶模組 80B中的各位址，其第 0至第 26位元可能會分別是「0」或「1」。

而如圖五所示，記憶模組 80D中的各個位址（像是位址 90A至 90C）會符合位元模式 96C，其第 31至第 26位元會有固定值「000110」，代表在指派給記憶模組 80D的 64百萬個位址中，其第 31至第 26位元皆固定為「000110」。以此類推，在記憶模組 80A中的 32百萬個位址均符合位元模式 96D，其第 31至第 25位元固定為「0001110」。

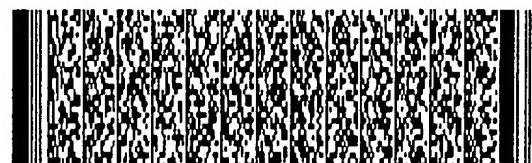
綜上所述，本發明可針對每一記憶模組中位址分佈的情形得到對應的位元模式，就像在圖五的例子中，記憶模組 80A至 80D會分別具有對應的位元模式 96D、96B、96A及 96C，各位元模式就代表各記憶模組中不同位址所共同具有的特性。而當本發明要進行初步位址解碼而判



五、發明說明 (20)

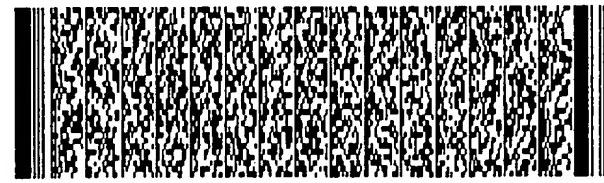
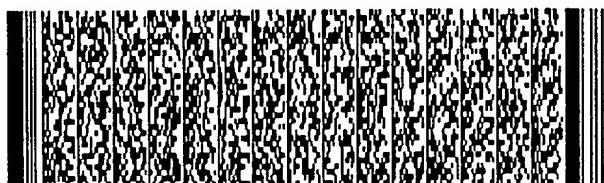
斷一給定位址所屬的記憶模組時，就可比對該給定位址是否符合位元模式 96A至 96D，以判斷給定位址所屬的記憶模組。舉例來說，若給定位址的第 28至第 31位元皆為「0」而符合位元模式 96A，就代表給定位址屬於記憶模組 80C。同理，若給定位址的第 31至第 25位元為「0001110」，就代表給定位址屬於記憶模組 80A。請注意，經過本發明的排序而根據各記憶模組之容量大小來指派位址後，各記憶模組對應的位元模式也是互斥的，也就是說，若給定位址符合一位元模式，就必定不適合其他的位元模式。如圖五所示，若有一給定位址符合位元模式 96A而在第 31至第 28位元為「0000」，則該給定位址必定不適合位元模式 96B至 96D，因為位元模式 96B至 96D的第 28位元均為「1」。同理，若給定位址符合位元模式 96B而在第 31至第 27位元為「00010」，則該給定位址必定不適合位元模式 96A及 96C、96D。這是因為位元模式 96A的第 28位元為「0」，而位元模式 96C、96D的第 27位元則均為「1」。同樣地，符合位元模式 96D的給定位址必定不適合位元模式 96A至 96C，因為位元模式 96A中第 28位元為「0」，而位元模式 96D之第 28位元為「1」；位元模式 96B中的第 27位元為「0」而位元模式 96D之第 27位元為「1」；而位元模式 96C中的第 26位元為「0」，位元模式 96D的第 26位元則為「1」。

上述這種位元模式互斥的性質，其實就是因為本發



五、發明說明 (21)

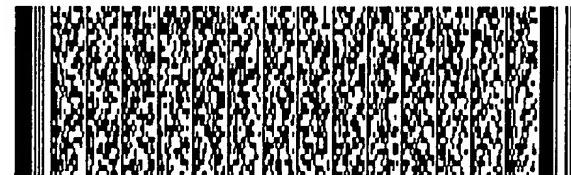
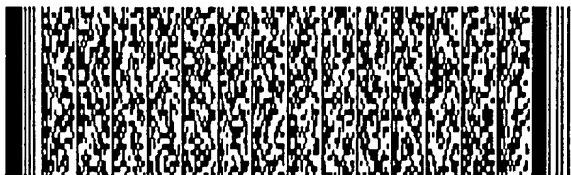
明會依據各記憶模組之記憶容量大小來指派位址的緣故。首先，由對應各記憶模組的各個位元模式可看出，各位元模式中不具有固定值的位元（也就是以「X」記號標記的位元），其位元個數和對應記憶模組之記憶容量有直接的關係。因為位址序列在由同一記憶模組中的最小位址遞增至最大位址時，各位址中必定要有一定個數個位元在變化，才能使不同記憶單元對應於不同之位址。像是在圖五中的記憶模組 80C，其總共有 256 百萬 (2^{28}) 個記憶單元，故其對應的位元模式 96A 中，第 0 位元至第 27 位元就要改變，才能組合出 (2^{28}) 種不同的位上。同理，在記憶容量最小的記憶模組 80A 中，由於記憶模組 80A 只有 32 百萬 (2^{25}) 位元的記憶容量，所以在其對應的位元模式 96D 中，只要第 0 至 第 24 位元變動，就能組合出 2^{25} 個相異的位址，分配給記憶模組 80A 中的不同記憶單元。上述的特性再加上位元模式中遞增而進位的「1」，即可用來使不同位元模式互斥。舉例來說，在位址模式 96A、96B 之間，兩者互斥之特性來自於第 28 位元之值的差異，但位址模式 96B 中位於第 28 位元之「1」其實是由位址 86D 的第 27 位元進位而來的（請比較位址 86D、88A），故位址模式 96B 中第 28 位元的「1」其實就代表了記憶模組 80C 的記憶容量，而記憶模組 80C 中的各個位址，都不會進位至第 28 位元，故記憶模組 80C 對應之位元模式 96A，其第 28 位元就固定為「0」。另一方面，由於記憶模組 80B 的記憶容量小於記憶模組 80C 的記憶容



五、發明說明 (22)

量，故對應之位元模式 96B只要在第 0位元至第 26位元變動即可組合出記憶模組 80B中的不同位址，故位元模式 96B中位於第 28位元的「1」就會固定下來不會變動，成為記憶模組 80B中各位址的共同位址；而位元模式 96A、96B間的互斥性也就因此而建立。同理，在位元模式 96C中，其第 27位元中的「1」是由位元模式 96B中的位址 88C遞增進位而得，記憶模組 80B中的各個位址都不會進位至第 27位元；而位元模式 96C對應的記憶模組 80D僅有 64百萬位元的記憶容量，故僅需在第 0位元至第 25位元間變動，即可組合出 64百萬個位址。因此，位元模式 96C位於第 27位元中的「1」，也就讓位元模式 96C和位元模式 96B互斥。以此類推，位元模式 96D中在第 26位元由位址 90C遞增而進位的「1」，也就能讓位元模式 96D和位元模式 96C互斥。

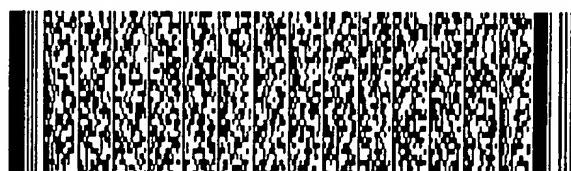
利用本發明得到的互斥位元模式，就能經由位元模式的比對唯一地確定出一給定位址所屬的記憶模組，因為符合一位元模式的給定位址，必不符合其他記憶模組對應的位元模式。若沒有經由上述本發明揭露的排序過程就進行位址指派，各記憶模組中的位址雖然還是會有共同位址，但不同記憶模組間的共同位址則不會是互斥的。舉例來說，由圖二中的位址指派情形其實也可歸納出：在圖二中，記憶模組 30A的各位址於第 25至第 31位元固定為「0」，而記憶模組 30B中各位址於第 28至第 31位



五、發明說明 (23)

元也固定為「0」。但即使一給定位址的第28至第31位元為「0」而符合記憶模組30B之共同位址，該給定位址還是有可能是屬於記憶模組30A，而非記憶模組30B。

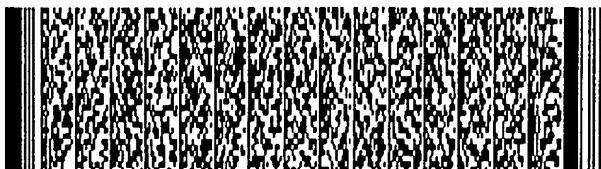
為了方便實際實施時的應用，由各位元模式中可衍生出對應的標準位址及遮罩。像是圖五中列出的標準位址98A至98D，就分別對應於位元模式96A至96D；配合各標準位址98A至98D之應用，各標準位址98A至98D也分別有一對應的遮罩99A至99D。在各遮罩中，其值為「0」的位元用來代表位元模式中不具有固定值的位元，也就是位元模式中以記號「x」標示的位元；相對地，其值為「1」的位元，則用來代表對應位元模式中具有固定值的位元。至於位址模式中具有固定值的位元其值為何，則記錄於與各遮罩對應之標準位址的對應位元中。舉例來說，像是在對應於位元模式96B的遮罩99B中，其第0至第26位元皆為「0」，代表在位元模式96B中的第0至第26位元是不具有固定值的；而遮罩99B中第27至第31位元的「1」，則代表位元模式96B中的第27至第31位元是具有固定值的。至於位元模式96B中第27至第31位元之值分別為何，則記錄於對應之標準位址98B的第27至第31位元中。換句話說，標準位址98B與位元模式96B的第27至第31位元分別相等，而標準位址98B的其他位元則可以是任意值（像是在圖五中，各標準位址未對應於遮罩中位元「1」的位元皆填入「0」）。再舉一例，位元模式96D有



五、發明說明 (24)

對應的遮罩 99D 及標準位址 98D；因為在遮罩 99D 中的第 31 至第 25 位元為「1」，代表位元模式 96D 的第 31 至第 25 位元為固定值，其值就是標準位址 98D 中第 31 至第 25 位元的「0001110」。如前所述，因為各記憶模組對應的位元模式中，不具有固定值的位元個數和對應記憶模組的記憶容量有關，而對應各記憶模組的遮罩也就可以用記憶模組的記憶容量來產生。舉例來說，記憶模組 80C 有 256 百萬的記憶容量，其記憶容量之值以 32 位元的二進位數來表示即為「00010…0」（僅第 28 位元為「1」）。將記憶容量值減 1 後成為二進位的「00001…1」（第 0 至第 27 位元，「1」），再將各位元反相成為「11110…0」（第 28 至第 31 位元為「1」），也就得出了記憶模組 80C 的遮罩 99A。

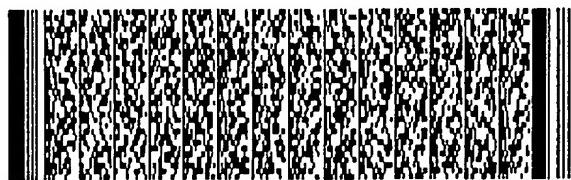
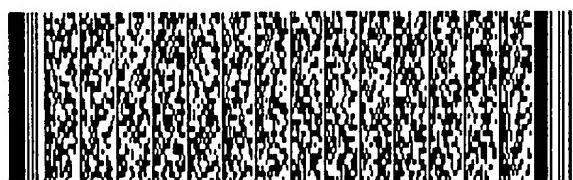
請參考圖六（並一併參考圖五）。圖六即為本發明控制電路 78 中用來實現初步位址解碼功能的功能方塊示意圖。控制電路 78 中設有一存取模組 101、一排序模組 116、一比較模組 111 及一邏輯模組 100。比較模組 111 中設有四個各對應於一記憶模組的比較單元 112A 至 112D。其中存取模組 101 用來暫存中央處理器 62（或其他電路）傳來的給定位址 104，比較模組 111 中的各個比較單元 112A 至 112D 就是分別用來檢查給定位址 104 是否符合各記憶模組對應的位元模式；根據各比較單元 112A 至 112D 的比較結果，邏輯模組 100 就能提供一解碼結果 119，用來



五、發明說明 (25)

反映給定位址 104是否屬於記憶模組 80A至 80D。控制電路 78運作的情形可描述如下。當電腦 60開機時，控制電路 78就會掃瞄記憶裝置 66中的各個記憶模組 80A至 80D，以判斷各記憶模組的記憶容量。接下來排序模組 116就能按照本發明的排序原則（亦即圖五及相關討論所述及的），根據各記憶模組的記憶容量，決定位址指派的順序；而控制電路 78就能根據排序模組 116決定的順序，使各記憶模組中的記憶單元對應於一位址。同時排序模組 116也能根據排序、位址指派的結果，決定出各記憶模組對應的位元模式（以及遮罩、標準位址），並據以設定各比較單元 112A至 112D以及邏輯模組 100。這樣一來，在後續運作的過程中，當中央處理器 62（或其他電路）要存取記憶裝置 66中某一記憶單元時，就可將該記憶單元的位址暫存至存取模組 101做為給定位址 104，而控制電路 78就會對給定位址 104進行初步位址解碼，由比較模組 111中的各個比較單元 112A至 112D將給定位址 104和各記憶模組對應的位元模式比較，看看給定位址 104符合那個位元模式；而邏輯模組 100就能根據各比較單元 112A至 112D比較的結果，提供解碼結果 119，反映初步位址解碼的結果。

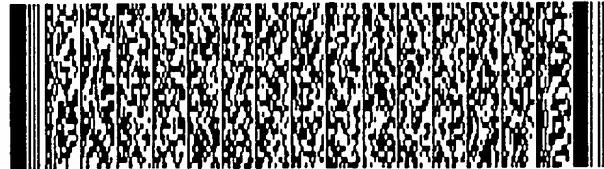
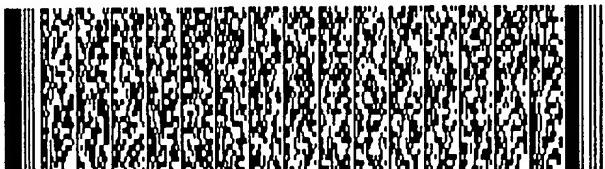
為了要更實際說明控制電路 78初步位址解碼進行的過程，圖六也沿用了圖五中的實例，故比較單元 112A至 112D分別用來比較給定位址 104是否符合位元模式 96A至



五、發明說明 (26)

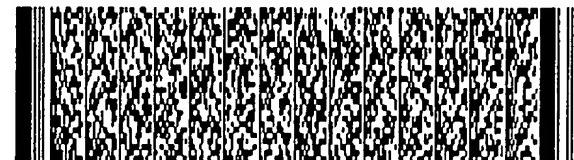
96D；由於在排序後，位元模式 96A至 96D分別對應於記憶模組 80C、80B、80D及 80A（請一併參考圖五），故邏輯模組 100即用來將比較模組 112A至 112D的比較結果，而判斷給定位址 104是否屬於記憶模組 80A至 80D之中的一個。在圖六中，也實際假設了給定位址 104為「000110…01」（第 0、第 27 及第 28 位元為「1」）。在各比較單元運作後，可發現此給定位址 104符合位元模式 96C，其第 31 至第 26 位元為「000110」，故比較單元 112C 可輸出一「真」的結果（像是以高位準的電壓），反映給定位址 104 是屬於記憶模組 80D 的。相對地，舉例來說，圖六中實例的給定位址 104 不會符合位元模式 96D，因其第 31 至第 25 位元為「0001100」，而位元模式 96D 的第 31 至第 25 位元則為「0001110」；故比較單元 112D 會輸出一「偽」的結果（像是低位準的電壓），代表給定位址 104 不屬於記憶模組 80A。事實上，圖六中的實例給定位址 104 即是圖五中屬於記憶模組 80D 的位址 90B。

請參考圖七。圖七是以圖六中的比較單元 112B 為例，顯示本發明中比較單元功能方塊的示意圖；比較單元 112B 的功能即是用來比對給定位址 104 和位元模式 96B 是否相符。如圖五中曾描述的，由各位元模式可導出對應的標準位址和遮罩，而在實際實現比較單元 112B 時，就能利用位元模式 96B 對應的遮罩 99B 及標準位址 98B。如圖七所示，在比較單元 112B 中可設有複數個及閘及反互



五、發明說明 (27)

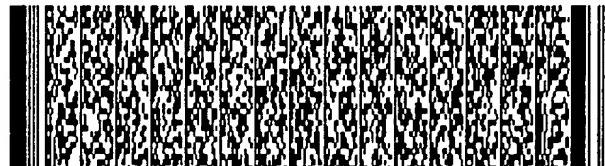
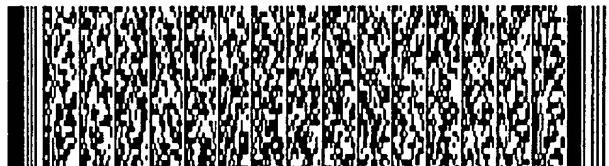
斥或閘。各及閘分別用來將給定位址 104 的一個位元和遮罩 99B 的一個位元作及運算，像是及閘 118A 至 118G 就是用來將給定位址 104 的第 31 至 25 位元分別和遮罩 99B 中的第 31 至第 25 位元作及運算。而反互斥或閘則用來將各及閘運算的結果進一步和標準位址中的一個位元作反互斥或運算，像是圖七中的反互斥或閘 120A 至 120G 即分別用來將及閘 118A 至 118G 的輸出結果和標準位址 98B 中的第 31 至第 25 位元作反互斥或運算。各反互斥或閘輸出的結果會再經由一及閘 122 作及運算，由及閘 122 輸出比較器 112B 的比較結果。在各及閘將遮罩各個位元和給定位址 104 的位元作及運算時，就能將給定位址 104 中不需比較的位元「遮住」，而將需要比較的位元之值傳輸至反互斥或閘；而反互斥或閘將各及閘傳來的結果和標準位址中的每一位元作反互斥或運算，就是在比對給定位址 104 中需比對之位元其值是否和標準位址中對應位元之值相等；及閘 122 則整合各反互斥或閘的輸出。就圖七中的實例來說，遮罩 99B 中的第 27 至第 31 位元為「1」，代表其對應的位元模式 96B 在第 27 至第 31 位元有固定值，而比較單元 112B 就要檢查給定位址 104 中第 27 至第 31 位元是否分別等於標準位址 98B 中的第 27 至第 31 位元。在遮罩 99B 第 31 至第 27 位元的「1」，會使及閘 118A 至 118E 的輸出結果分別由給定位址 104 中的第 31 至第 27 位元決定，相當於將給定位址 104 的第 31 至第 27 位元之值分別傳輸至反互斥或閘 120A 至 120E。而反互斥或閘 120A 和 120E 進行的反互斥或



五、發明說明 (28)

運算就相當於比較給定位址 104 的第 31 至第 27 位元是否分別和標準位址 98B 中的第 31 至第 27 位元相等。若相等的話就輸出「真」至及閘 122。相對地，像是遮罩 99B 中於第 26、第 25 位元的「0」，就會使及閘 118F、118G 的輸出必定為「偽」，不論給定位址 104 中第 26、第 25 位元之值為何；而這也就相當於將給定位址 104 中的第 26、第 25 位元遮住。及閘 118F、118G 輸出的「偽」再分別配合上標準位址 98B 中被填入「0」的第 26、第 25 位元，就會使反互斥或閘 120F、120G 的輸出恆為「真」，讓及閘 122 輸出的結果由反互斥或閘 120A 至 120E 來主控。圖七中也假設了合定位址 104 之值就和圖六中的一樣；在此情況下，由於給定位址 104 於第 27 位元之值為「1」，與標準位址 98B 的第 27 位元的「0」不符，故反互斥或閘 120E 的輸出為「偽」，使得比較模組 112B 於及閘 122 的輸出結果也是「偽」。

在圖六、圖七中各個用來實現本發明的功能方塊皆可以用硬體，或是以微控制電路中執行軟體程式來實現，或甚至是用混合的方式來實現。舉例來說，圖六中的排序模組 116、邏輯模組 100 可用軟體來實現，而各比較單元 112A 至 112D 則可用硬體的邏輯電路來實現。雖然圖七中是以及閘、反互斥或閘來實現本發明中的比較單元，但比較單元之功能也可以用軟體的方式來實現。在以執行軟體方式來實現圖六、七中的功能方塊時，可將



五、發明說明 (29)

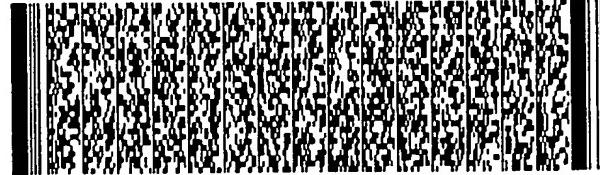
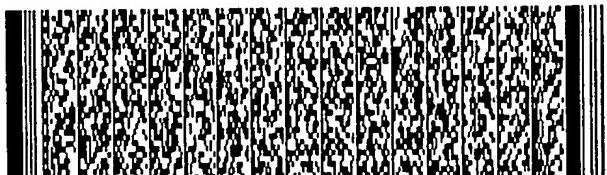
軟體程式碼儲存於基本輸出入系統 74 中（請見圖四）。

由上述對本發明實施方式的討論可知，由於本發明是以位元模式比較的方式來進行初步位址解碼，故本發明能快速有效率的實施。因為在各比較單元進行位元模式比較時，是比對位元模式中具有固定值的位元和給定位址 104 中對應位元是否相符，可以同時、平行地對每個欲比對的位元進行比對，再迅速地整合出比較的結果。舉例來說，在圖七中的比較單元 112B 運作時，可同時檢查給定位址 104 的第 25 至 第 31 位元是否分別符合標準位址 93 的對應位元，再將各位元比較的結果作及運算，得到比較的結果。以數位電路之運作時間來說，在本發明中，各比較單元可在同一時間中同時完成對給定位址 104 中各位元的遮罩運算，再同時完成各對應位元之比較，並將各對應位元比較的結果做及運算，得出比較單元最後比較的結果。進行上述過程所需時間，大致上就是：單一位元於及閘進行遮罩運算所需時間，再加上三種不同運算中，互斥或閘進行一位元比較所需時間，再加總各運算時間，於反向統合各運算中，每一種運算都相當簡單，甚至能用單一邏輯閘來實現，故本發明能夠十分快速地完成整個比較模組的運作。相較之下，習知技術中以減法（等效上為加法）來進行初步位址解碼，在各位元進行加運算時，還要等待次一位元加運算之進位，故其所需的時間是各位元加運算所需

五、發明說明 (30)

時間累計總和的結果；以三十二位元之位址解碼來說，一般若取 31至 25位元間至少需要七個別位元運算所需時間（也就是七個閘延遲）才能完成。很明顯地，本發明之初步位址解碼方法能更快速有效率地進行。

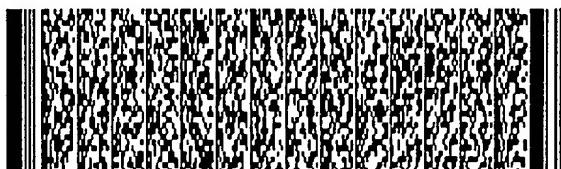
如前所述，本發明是基本上是先針對各記憶模組的記憶容量進行排序，以按照各記憶模組的記憶容量來決定分配至各記憶模組的位址，使得記憶容量較大的記憶模組，其記憶單元被指派的位址比較小；並因此能從不同記憶模組所被分配到的位址推導出對應於各記憶模組的互斥位元模式，以作為初步位址解碼的依據，當然若有 2個記憶模組大小相同時，其順序並不限前後。此外，當各記憶模組中有一或數個記憶模組（為討論方便，以下將這些記憶模組歸類為記憶模組 B）記憶容量之和等於另一記憶模組（稱為記憶模組 A）之記憶容量（或一些記憶模組之總容量，在此亦稱為記憶模組 A）時，記憶模組 A 中的位址應和各記憶模組 B 之位址連續排列，但記憶模組 A 的位址可以大於或小於各記憶模組 B 的位址。不論記憶模組 A 中各記憶單元之位址是大於或小於各記憶模組 B 的位址，都可產生出互斥的位元模式。關於此情形，請參考圖八 A、八 B。圖八 A、八 B 為本發明在同一記憶模組配置下，以不同排序方式進行位址指派的示意圖。在圖八 A、八 B 中，均假設記憶模組 80A 至 80D 分別具有 32 百萬、32 百萬、64 百萬及 512 百萬的記憶容量。在圖八 A 中，各



五、發明說明 (31)

記憶模組位址分配的情形就是按照本發明的基本排序原則，依照各記憶模組的記憶容量大小來指派位址，故各記憶模組中的位址會依循記憶模組 80D、記憶模組 80C、記憶模組 80A及記憶模組 80B的順序遞增，使記憶容量最大的記憶模組 80D，其所被分配到的位址最小。圖八 A中也標示出了各記憶模組中最大及最小的位址（像是位址 132A至 132E）以及衍生出來的位元模式 134A至 134D。由各位元模式 134A至 134D可看出，各位元模式間的確是互斥的。

不過，在圖八 A、八 B的記憶模組配置中，可發現記憶模組 80C的記憶容量 64百萬位元剛好等於記憶模組 80A、80B兩記憶模組記憶容量（各 32百萬位元）的和。此時可將記憶模組 80C視為一記憶模組 A，其記憶容量等於兩記憶模組 B（也就是記憶模組 80B、80A）記憶容量之和。在這種情況下，即使記憶模組 80C之各位址大於記憶模組 80A、80B之各位址，也還是能產生互斥的位元模式。如圖八 B所示，圖八 B中的排序方式是將連續遞增的位址依照記憶模組 80D、80A、80B及 80C之順序依序指派給各記憶模組中的記憶單元。圖八 B中也顯示出了在此種排序下各記憶模組最大及最小的位址（像是位址 136A至 136F），以及衍生出來的對應位元模式 138A至 138D。由圖八 B中可看出，雖然記憶模組 80C的記憶容量比記憶模組 80A、80B個別記憶容量都來得多，但圖八 B中的排序方

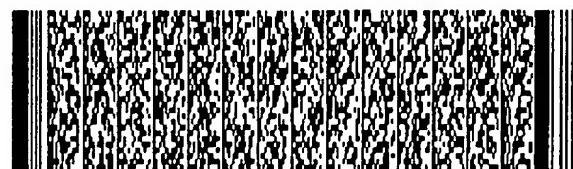


五、發明說明 (32)

式還是能使各記憶模組對應的位元模式為互斥的。

一般來說，在現行技術下，各記憶模組的記憶容量均為 2^n 之乘冪，故當數個記憶模組B記憶容量之和等於一記憶模組A之記憶容量時，若使位址序列由各記憶模組B遞增至記憶模組A，就會在記憶模組A中造成額外的進位，且這進位之「1」會成為記憶模組A中各位址的固定值，進而使得記憶模組A之對應位元模式得以和各記憶模組B之位元模式互斥。就像圖八B中的例子所示，當位址序列由記憶模組80B的位址136D遞增至記憶模組80C的位址36E時，會在位址136E的第26位元造成進位的「1」，且這個第26位元的「1」會形成記憶模組80C中各位址的固定值，而記憶模組80C對應的位元模式138D也就因這個第26位元的「1」而與記憶模組80A、80B對應的位元模式138B、138C互斥。相對地，若在圖八B的排序中，記憶模組80C之記憶容量不是64百萬位元而是128百萬位元，且記憶模組80C之位址還是由位址136D遞增，則記憶模組80C對應的位元模式應該是「0010x…x」（僅第31至第28位元為固定值「0010」），此位元模式就不會和記憶模組80A、80B的對應位元模式138B、138C互斥了。

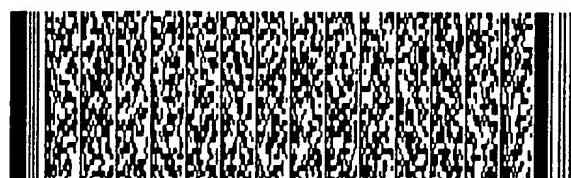
換句話說，只要某幾個記憶模組B的記憶容量總和等於記憶模組A（記憶模組A可為一個或多個記憶模組所構成），不論位址序列是由記憶模組A之位址遞增至各個記



五、發明說明 (33)

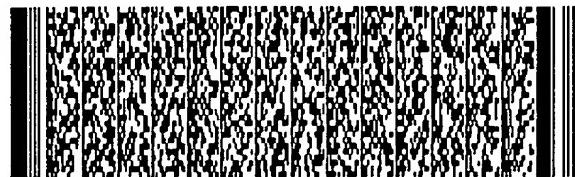
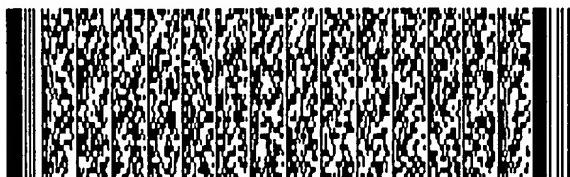
憶模組 B 之位址（像圖八 A 的情形），或是由各記憶模組 B 之位址遞增至記憶模組 A 之位址（像圖八 B 的情形），只要各記憶模組 B 和記憶模組 A 的位址是連續排列的，就能形成互斥的位元模式。在這裡所謂的連續排列，其條件為：(1) 各記憶模組 B 的位址連續排列，除了第一個記憶模組 B（也就是位址值最小的記憶模組 B）外，其他的記憶模組 B 之位址都是由另一記憶模組 B 之位址遞增而來。舉例來說，像在圖八 A、八 B 的例子中，記憶模組 80A、80B 的位址形成不間斷之連續遞增位址序列。(2) 記憶模組 A 中最小的位址由各記憶模組 B 中最大的位址開始連續遞增（像是圖八 B 中的情形），或者是，各記憶模組 B 中最小的位址是由記憶模組 A 中最大的位址開始繼續遞增（像是圖八 A 中的情形）。

關於上述原則的進一步應用，請參考圖九 A 至九 D。圖九 A 至九 D 為本發明在另一種記憶模組配置下，以不同排序情形進行位址指派的示意圖；圖九 A 至九 D 中分別顯示了各記憶模組在位址指派下最大及最小的位址（像是位址 151A 至 151B、152A 至 152B、153A 至 153B 及 154A 至 154B），以及各記憶模組對應的位元模式 161A 至 161D、162A 至 162D、163A 至 163D 與 164A 至 164D。在圖九 A 至圖九 D 的例子中，均假設記憶模組 80A 至 80D 的記憶容量分別為 3.2 百萬、3.2 百萬、64 百萬及 128 百萬位元。在此種配置中，記憶模組 80C 的記憶容量等於記憶模組 80A、80B 記憶



五、發明說明 (34)

容量的總和，記憶模組 80D 的記憶容量又等於記憶模組 80A 至 80C 記憶容量的總和。故記憶模組 80C 的位址可以連續排列於記憶模組 80A、80B 之前或之後，而記憶模組 80D 的位址也可連續排列於記憶模組 80A 至 80C 之前或之後，總共有四種不同的排序情形，皆可產生出互斥的位元模式；圖九 A 至九 D 就分別顯示了這四種排序下的位址指派情形及對應的位元模式，若再考慮相同大小記憶模組（記憶模組 80A、80B）之順序互換，則會有 8 種變化，在此不再一一指出。像在圖九 A 中的排序結果，即是依照本發明的基本原則，根據記憶容量由大到小的順序，使位址序列遵循記憶模組 80D、記憶模組 80C 以及記憶模組 80A、80B 的順序遞增。不過，就像上一段落所討論到的，因為記憶模組 80D 的記憶容量為記憶模組 80A 至 80C 記憶容量的總和，故記憶模組 80D 的位址也可以大於記憶模組 80A 至 80C 的位址。就像圖九 B 所示，即使位址序列是依照記憶模組 80C、80A、80B 至 80D 的順序遞增，也能形成互斥的位元模式 162A 至 162D。另外，由於記憶模組 80C 之記憶容量等於記憶模組 80A、80B 記憶容量的總和，故圖九 A 中記憶模組 80C 及記憶模組 80A、80B 排序的順序也可相反，成為圖九 C 中的情形，讓位址序列依照記憶模組 80D、記憶模組 80A、記憶模組 80B 及記憶模組 80C 的順序遞增。而圖九 B 中記憶模組 80A 至 80C 的排序也可重排為圖九 D 中的情形，使位址序列依照記憶模組 80A、80B、80C 及 80D 的順序遞增。請注意圖九 A 及圖九 D 中的排序情形剛好相反，

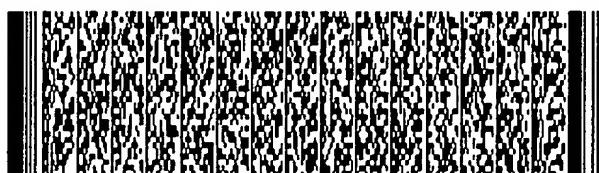
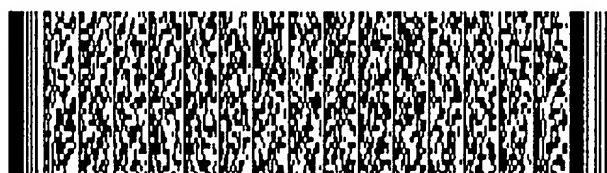


五、發明說明 (35)

但由於各記憶模組間記憶容量總和相等之關係，圖九 D 中的排序還是可以產生互斥的位元模式 164A至 164D。

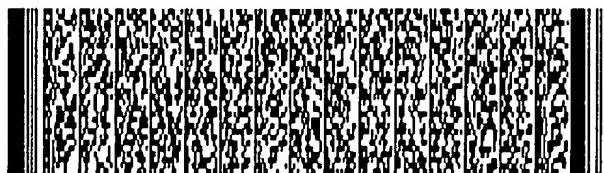
不論是圖八 A、B或是圖九 A至九 D中的情形，皆可使用圖六中顯示的控制電路 78來實現本發明的初步位址解碼。舉例來說，要在圖九 D的排序情形下實現初步位址解碼，可由圖六中的比較單元 112A至 112D比較給定位址 104是否分別符合圖九 D中的位元模式 164A至 164D，而圖六中的邏輯模組 100則由比較單元 112A至 112D的比較結果產生解碼結果。

總結本發明的排序原則，基本上是依循記憶模組之記憶容量由大到小的順序，依序指派漸增的位址。但若某些記憶模組 B的記憶容量總和等於另一(些)記憶模組 A的記憶容量，則記憶模組 A的位址可連續排列於各記憶模組 B位址之前或之後，此外更可擴大說只要符合"某個記憶模組之前面的記憶模組容量總和為該記憶模組的整數倍"，此排列順序之互換是成立的。依照本發明的排序原則，就能使不同的記憶模組對應於互斥的位元模式，而能以位元模式比對的方式進行初步位址解碼。雖然前述的圖五至圖九 D都是討論本發明如何以位元模式來判斷給定位址屬於哪一個記憶模組，但上述的討論也可一般化，將記憶模組視為記憶單元組成的區段，而本發明之精神即可由各區段導出對應的位元模式（以及對應的遮



五、發明說明 (36)

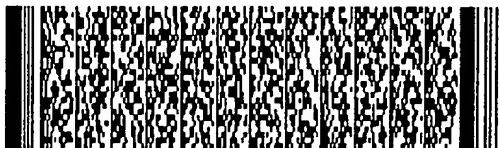
罩、標準位址），以位元模式比對的方式來判斷一組中的直列記憶陣列所屬的區段。舉例來說，只要將各記憶模組中的直列記憶陣列視為一區段，則本發明也可進一步用來判斷給定位址屬於哪一個直列記憶陣列。



五、發明說明 (37)

址屬於哪一個記憶模組或是直列記憶陣列，並進而提升整個電腦系統對記憶資源存取的效率。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明：

圖一為一典型電腦之功能方塊示意圖。

圖二為圖一中電腦對記憶裝置中各記憶單元位址指派之示意圖。

圖三為圖一中電腦以一習知方法進行初步位址解碼的功能方塊示意圖。

圖四為本發明中電腦之功能方塊示意圖。

圖五為本發明對圖四中各記憶單元進行位址指派之示意圖。

圖六為圖四中控制電路之功能方塊示意圖。

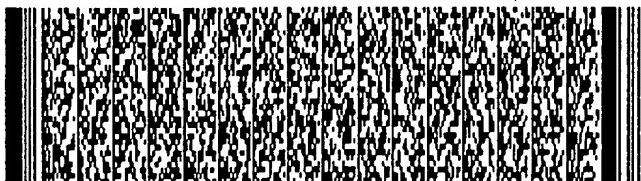
圖七為圖六中比較單元之功能方塊示意圖。

圖八A、八B為本發明於另一種記憶模組配置下以不同排序方式進行位址指派之示意圖。

圖九A至九D為本發明於第三種記憶模組配置下以不同排序方式進行位址指派之示意圖。

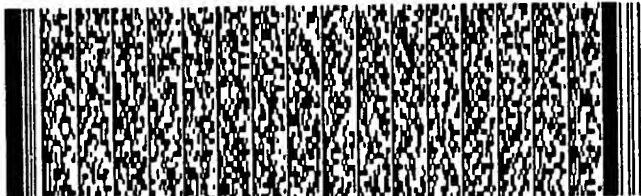
圖式之符號說明：

10、60	電腦	12、62	中央處理器
14、64	晶片組	16、66	記憶裝置
18、68	顯示卡	20、70	顯示器
22、72	週邊裝置	24、74	基本輸出入系統
26A、76A	北橋電路	26B、76B	南橋電路



圖式簡單說明

28、78	控制電路	
30A-30D、80A-80D		記憶模組
32A-32B、82A-82B		直列記憶陣列
34、84	記憶單元	
36A-36E、38A-38D、42A-42B、44A-44B、86A-86D、 88A-88C、90A-90C、92A-92C、132A-132E、136A-136F、 151A-151B、152A-152B、153A-153B、154A-154B	位址	
46A-46D	結尾位址	
48A-48B	減法模組	
50、100	邏輯模組	51、101 存取模組
96A-96D、134A-134D、138A-138D、161A-161D、 162A-162D、163A-163D、164A-164D	位元模式	
98A-98D	標準位址	99A-99D 遮罩
111	比較模組	112A-112D 比較單元
116	排序模組	
118A-118H、122		及閘
120A-120H	反互斥或閘	
CS ₀ -CS ₇ 、CS ₀ -CS ₇		控制訊號
H _P A-H _P D	指示訊號	119 解碼結果



六、申請專利範圍

1. 一種記憶體位址解碼的方法，以判斷一給定位址是否屬於該記憶體之複數個區段之一，每一區段設有複數個記憶單元，且所有記憶單元之不同對應位址為二進位排列方式，該方法包含有：

使具有記憶單元數量多的區段之對應位址，小於記憶單元數量少的區段之對應位址；

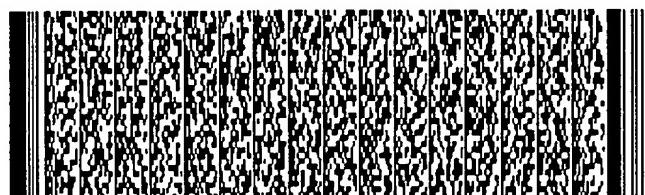
由該些對應位址，對每一區段分別取得一位元模組；以及

比較該給定位址的至少一比較位元與任一位元模組是否相符，並根據比較的結果，判斷該給定位址落於該些區段之一。

2. 如申請專利範圍第1項之記憶體位址解碼方法，其中該些區段係為複數個記憶模組。

3. 如申請專利範圍第1項之記憶體位址解碼方法，其中對每一區段分別取得一位元模組，係分別由每一區段內對應位址之全部相同位元，作為該些位元模組。

4. 如申請專利範圍第1項之記憶體位址解碼方法，其中該些比較位元不符合任一區段之該位元模組，則表示該給定位址未落於該區段內，反之則表示該給定位址落於該區段內。



六、申請專利範圍

5. 如申請專利範圍第1項之記憶體位址解碼方法，其中具有記憶單元數量相同之區段可互換其順序。

6. 如申請專利範圍第1項之記憶體位址解碼方法，其中每一區段中，依序將不同的記憶單元的對應位址以線性遞增或遞減方式，使一對應位址之值和前一對應位址之值相差一定值。

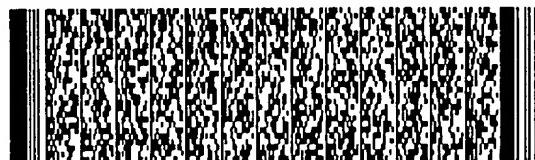
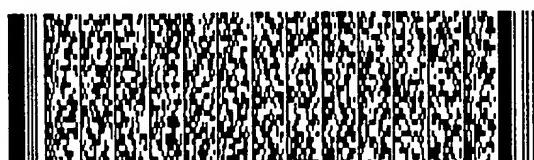
7. 如申請專利範圍第1項之記憶體位址解碼方法，其中其中各區段中記憶單元之數量為 2^n 之乘幕。

8. 一種記憶體位址解碼的方法，以判斷一給定位址是否屬於該記憶體之複數個區段之一，每一區段設有複數個記憶單元，且所有記憶單元之不同對應位址為二進位排列方式，該方法包含有：

進行該些區段之記憶單元數量大小排列，使記憶單元數量多的區段之對應位址，小於記憶單元少數量的區段之對應位址，若排列後至少第一區段之記憶單元數量大小等於至少第二區段之記憶單元數量大小時，則該第一區段與該第二區段之順序可進行互換；

由該些對應位址，對每一區段分別取得一位元模組；以及

比較該給定位址的至少一比較位元與任一位元模組是否相符，並根據比較的結果，判斷該給定位址落於該



六、申請專利範圍
些區段之一。

9. 如申請專利範圍第8項之記憶體位址解碼方法，其中該些區段係為複數個記憶模組。

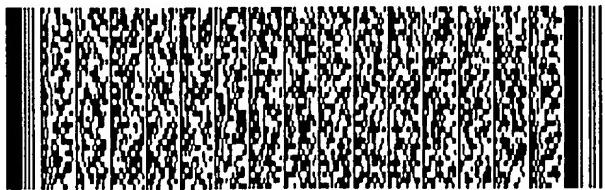
10. 如申請專利範圍第8項之記憶體位址解碼方法，其中對每一區段分別取得一位元模組，係分別由每一區段內對應位址之全部相同位元，作為該些位元模組。

11. 如申請專利範圍第8項之記憶體位址解碼方法，其中該上比較位元不符合任一區段之該位元模組，則表示該給定位址未落於該區段內，反之則表示該給定位址落於該區段內。

12. 如申請專利範圍第8項之記憶體位址解碼方法，其中每一區段中，依序將不同的記憶單元的對應位址以線性遞增或遞減方式，使一對應位址之值和前一對應位址之值相差一定值。

13. 如申請專利範圍第8項之記憶體位址解碼方法，其中其中各區段中記憶單元之數量為 2^n 之乘幕。

14. 一種記憶體位址解碼的控制電路，以判斷一給定位址是否落於該記憶體之複數個區段之一，每一區段設有



六、申請專利範圍

複數個記憶單元，且所有記憶單元之不同對應位址為二進位排列方式，該控制電路包含有：

一存取模組，接收該給定位址；

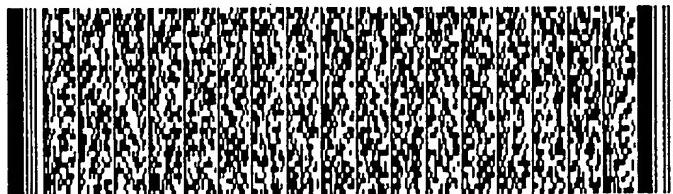
一排序模組，使記憶單元數量多的區段之對應位址，小於記憶單元少數量的區段之對應位址，若至少一第一區段之記憶單元數量大小等於至少一第二區段之記憶單元數量大小時，則該第一區段與該第二區段之順序可進行互換；以及

一比較模組，由該些對應位址，對每一區段分別取得一位元模組，與接收到該給定位址之至少一比較位元進行比較是否相符後，送出複數個比較信號。

15. 如申請專利範圍第14項之記憶體位址解碼的控制電路，更包括一邏輯模組，接收該些比較信號，送出一解碼結果，以判斷該給定位址落於該些區段之一。

16. 如申請專利範圍第14項之記憶體位址解碼的控制電路，其中該些區段係為複數個記憶模組。

17. 如申請專利範圍第14項之記憶體位址解碼的控制電路，其中比較模組中，每一區段分別取得一位元模組，係取該些區段內對應位址之全部相同位元，作為該些位元模組。

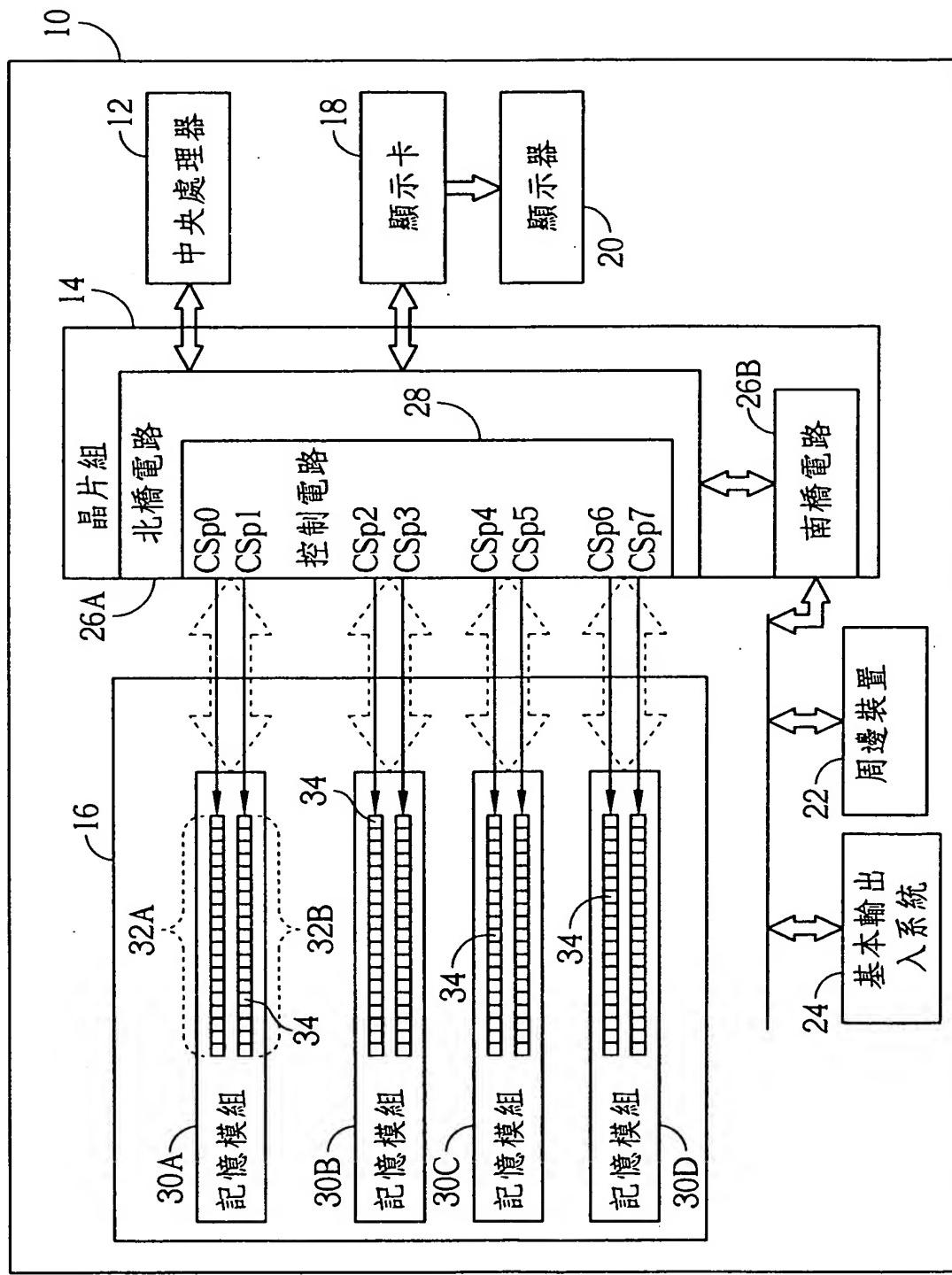


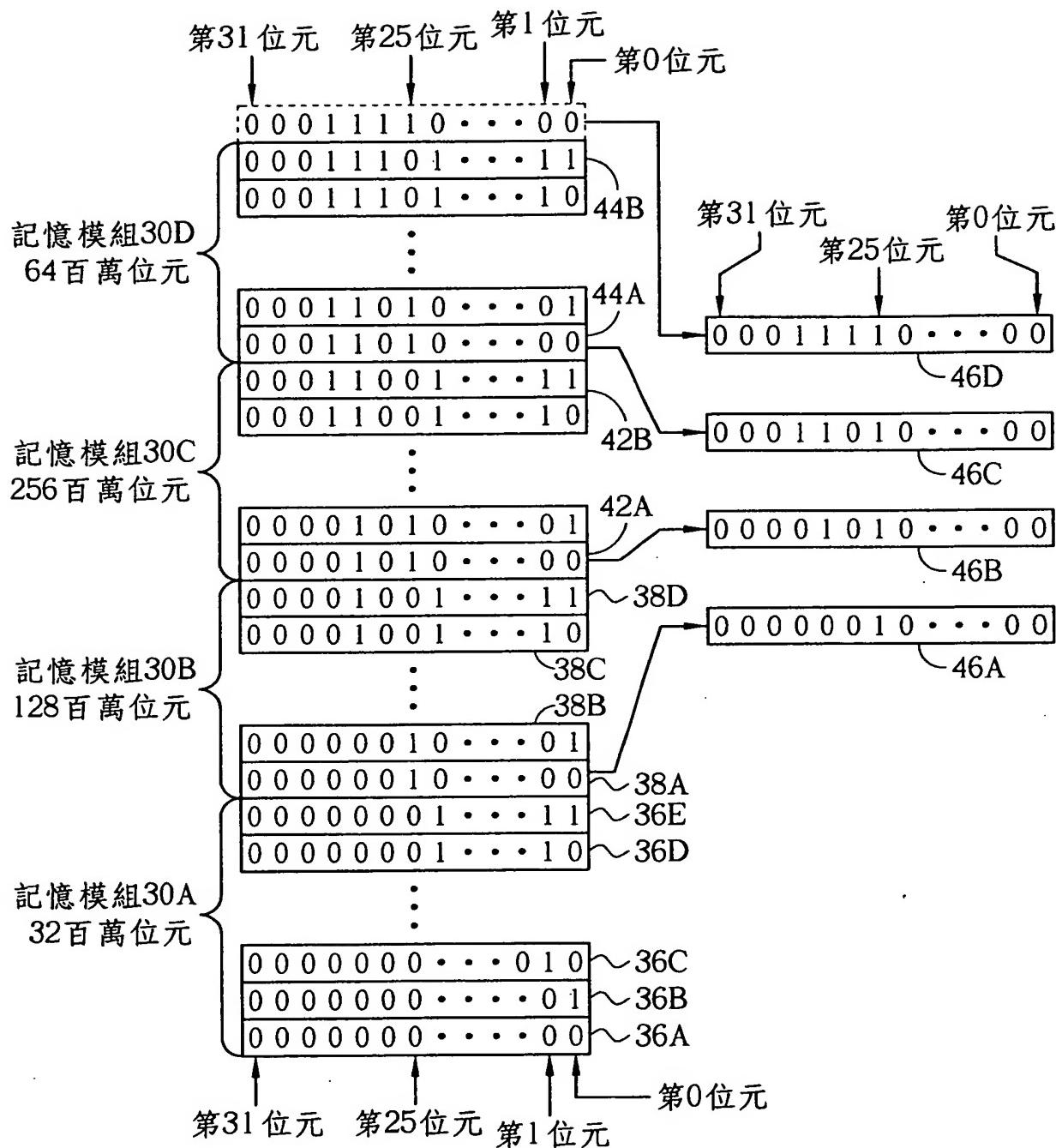
六、申請專利範圍

18. 如申請專利範圍第14項之記憶體位址解碼的控制電路，其中該比較模組係由複數個比較單位構成，每一比較單位包括複數個第一級及閘、複數個XOR閘與一第二級及閘構成，每一第一級及閘具有兩輸入端分別接收該些位元模組所產生之一遮罩位元與對應到該給定位址之一位元，每一該XOR閘具有兩輸入端分別接收該些第一級及閘之一的輸出與該些位元模組所產生之一標準位址，該二級及閘之輸入端連接到該些XOR閘輸出端，並送出該比較信號。



圖一

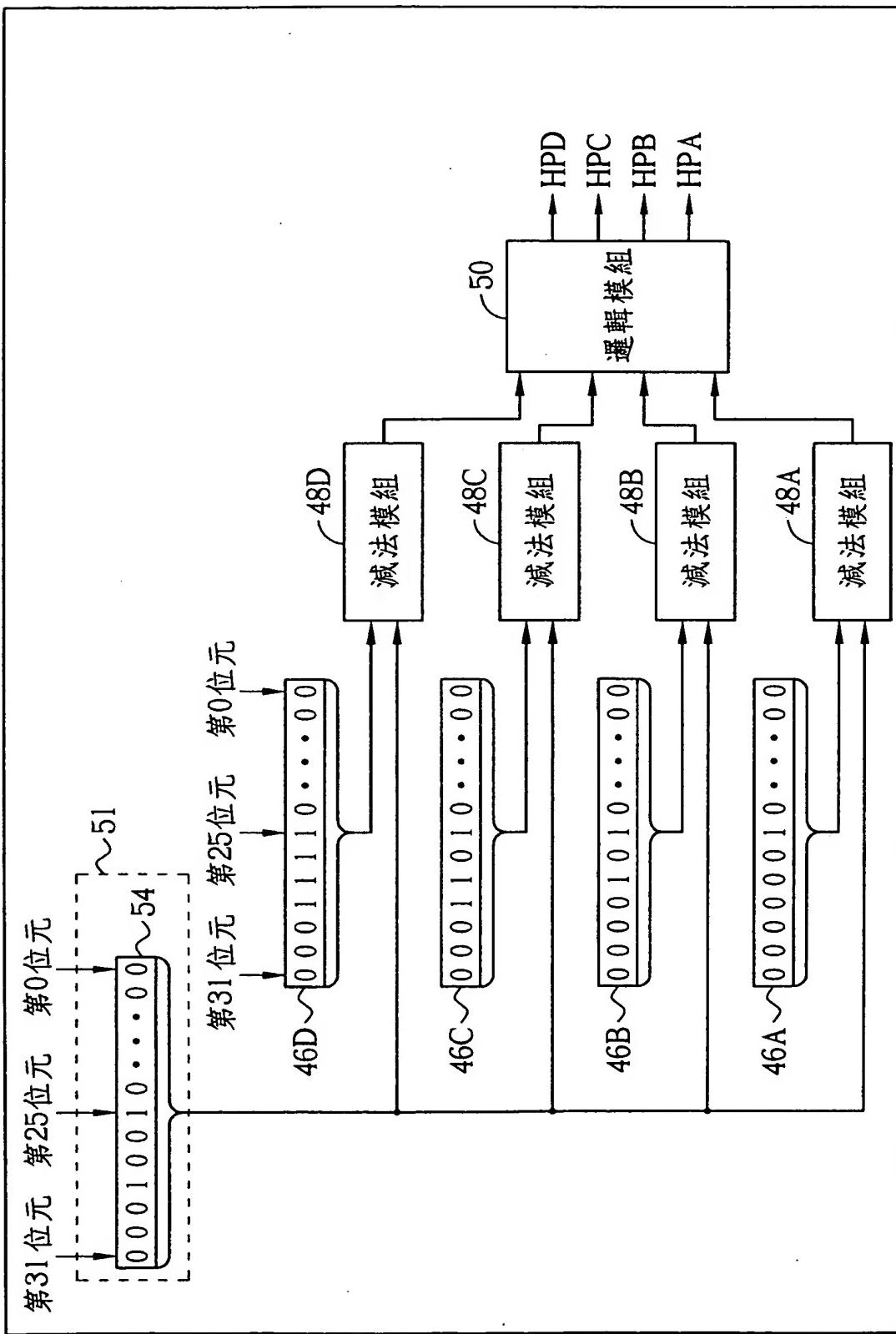




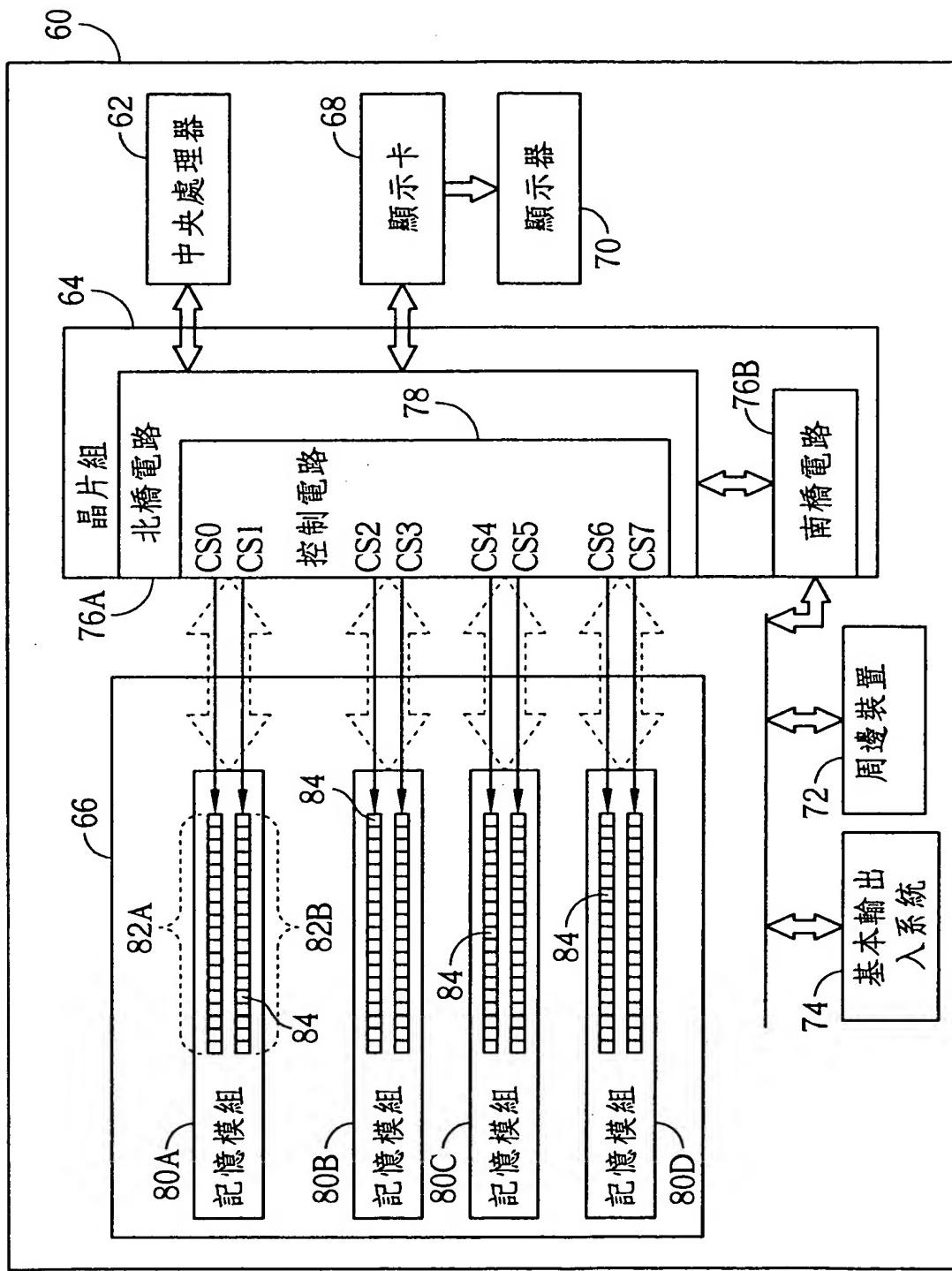
圖二

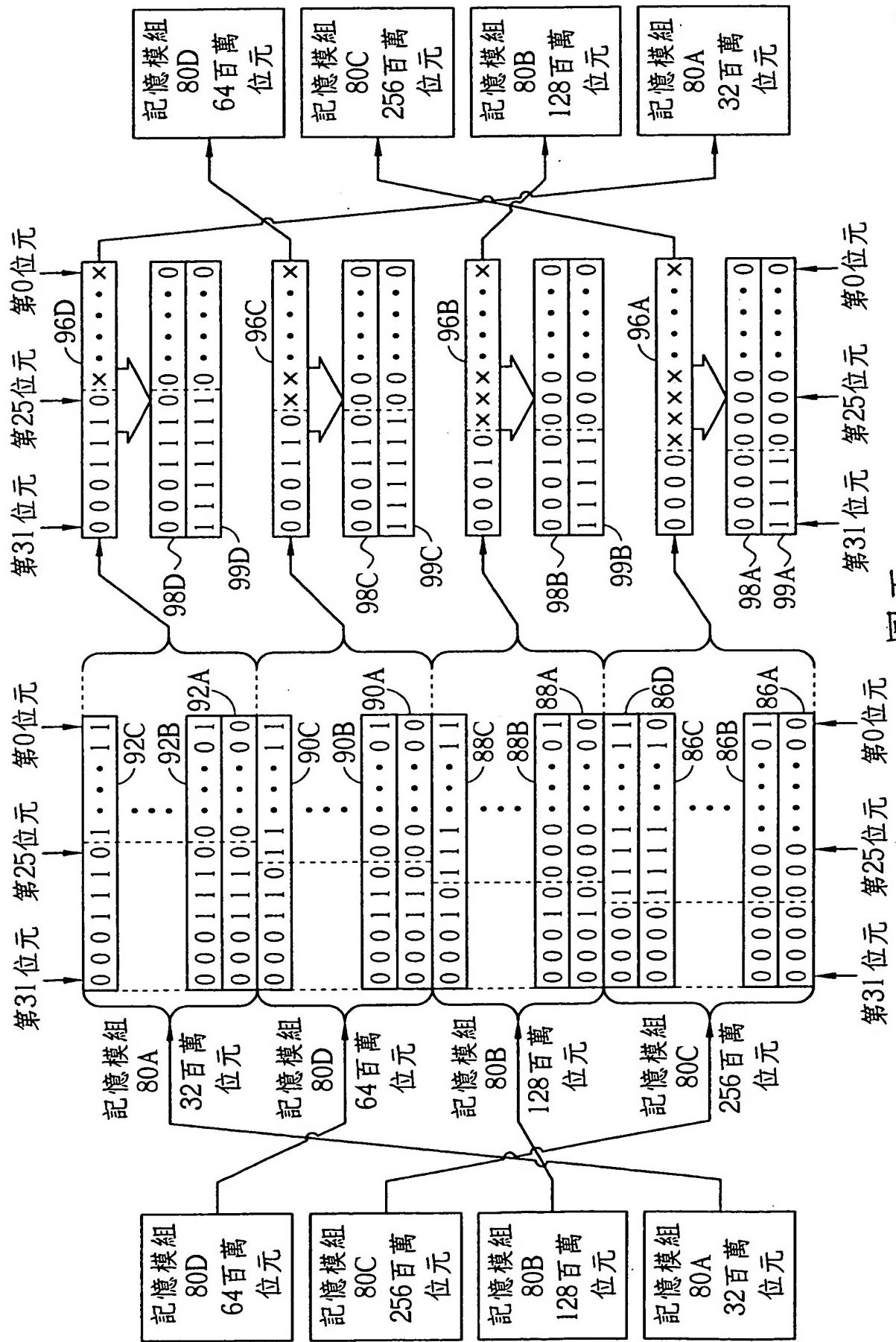
圖二

28



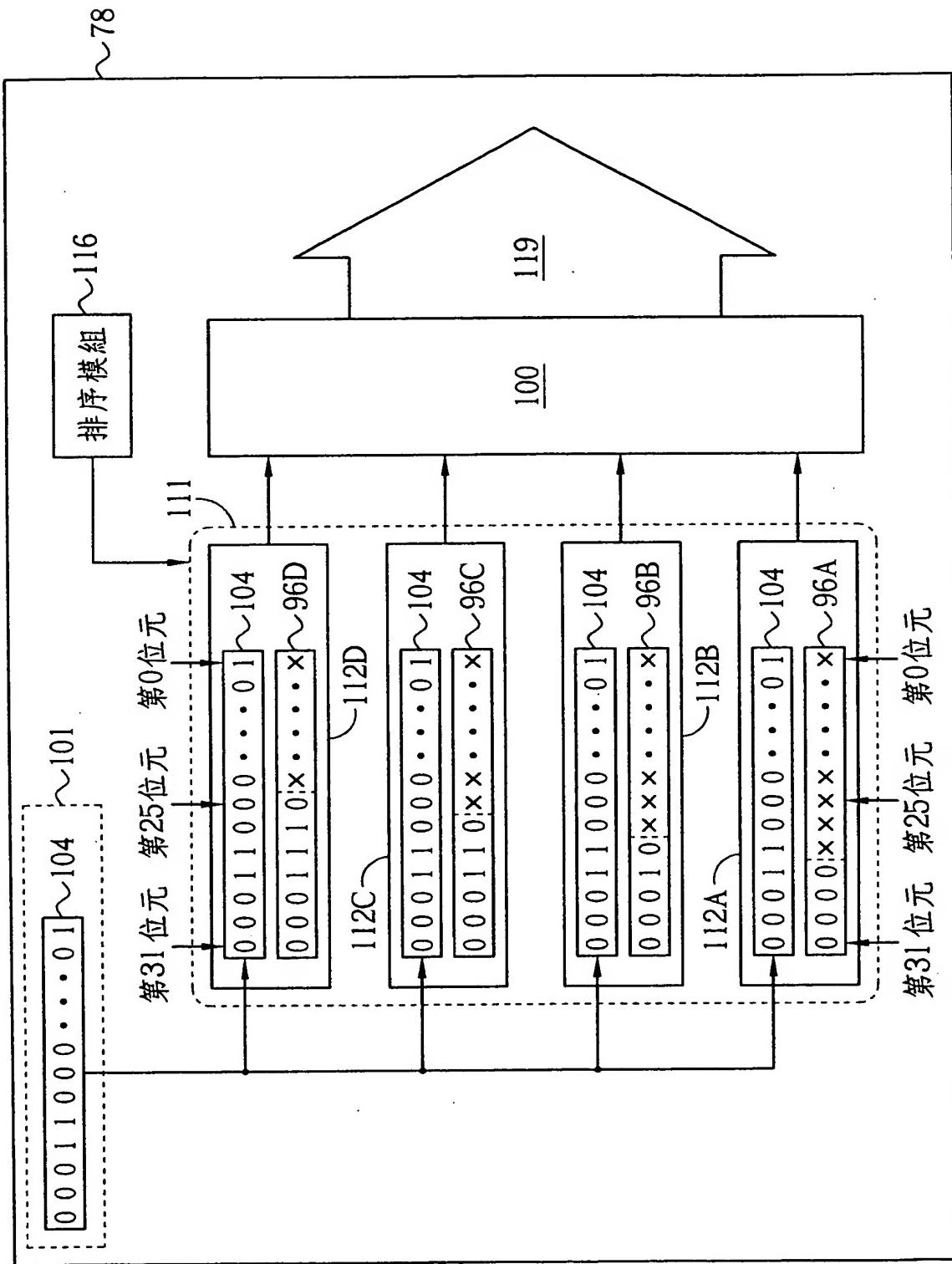
圖四



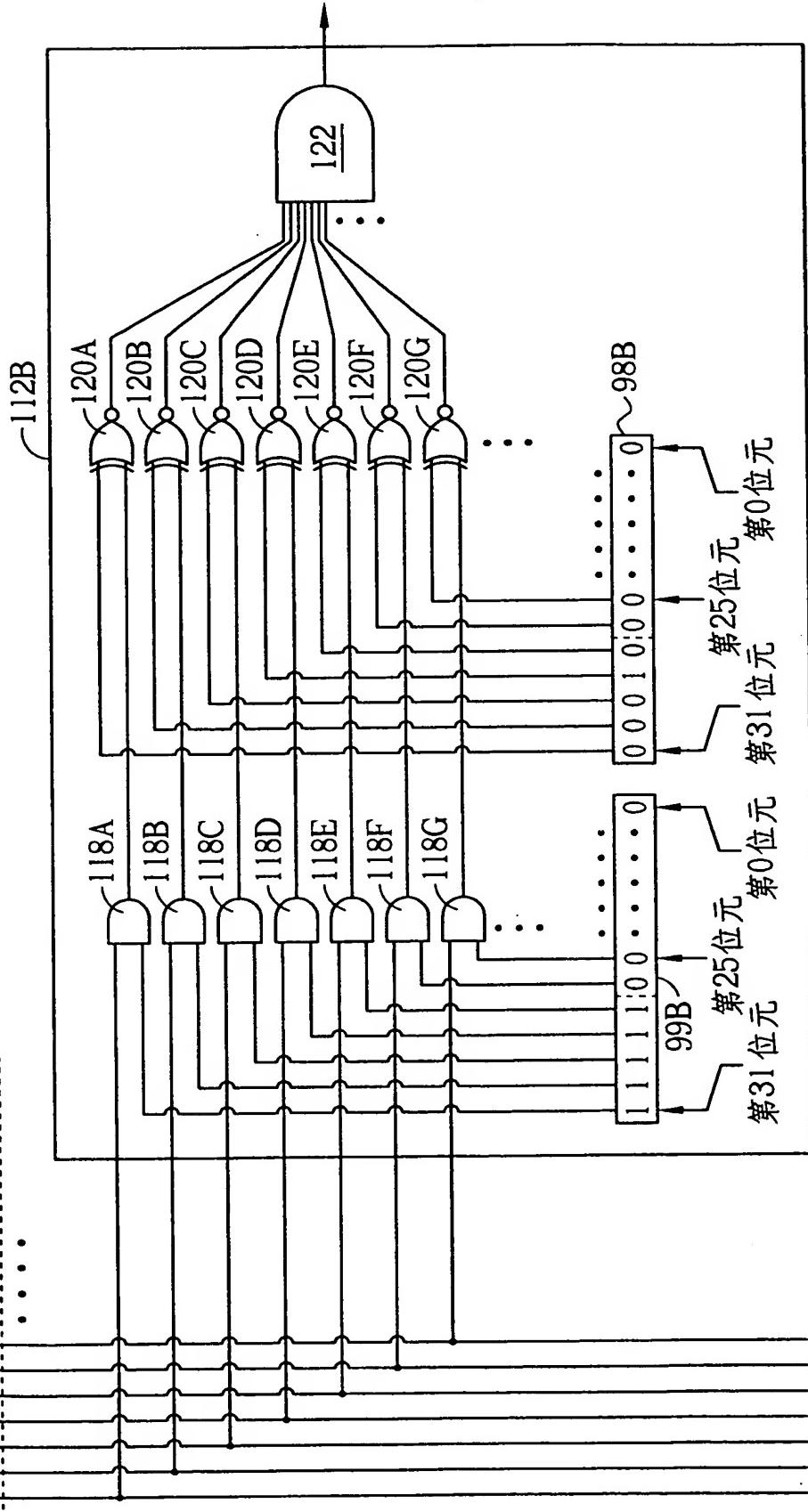


十一

圖六



第31位元 第25位元 第0位元
 $0\ 0\ 0\ 1\ 1\ 0\ 0\ 0\ \dots\ 0\ 1\sim104\sim101$



圖七

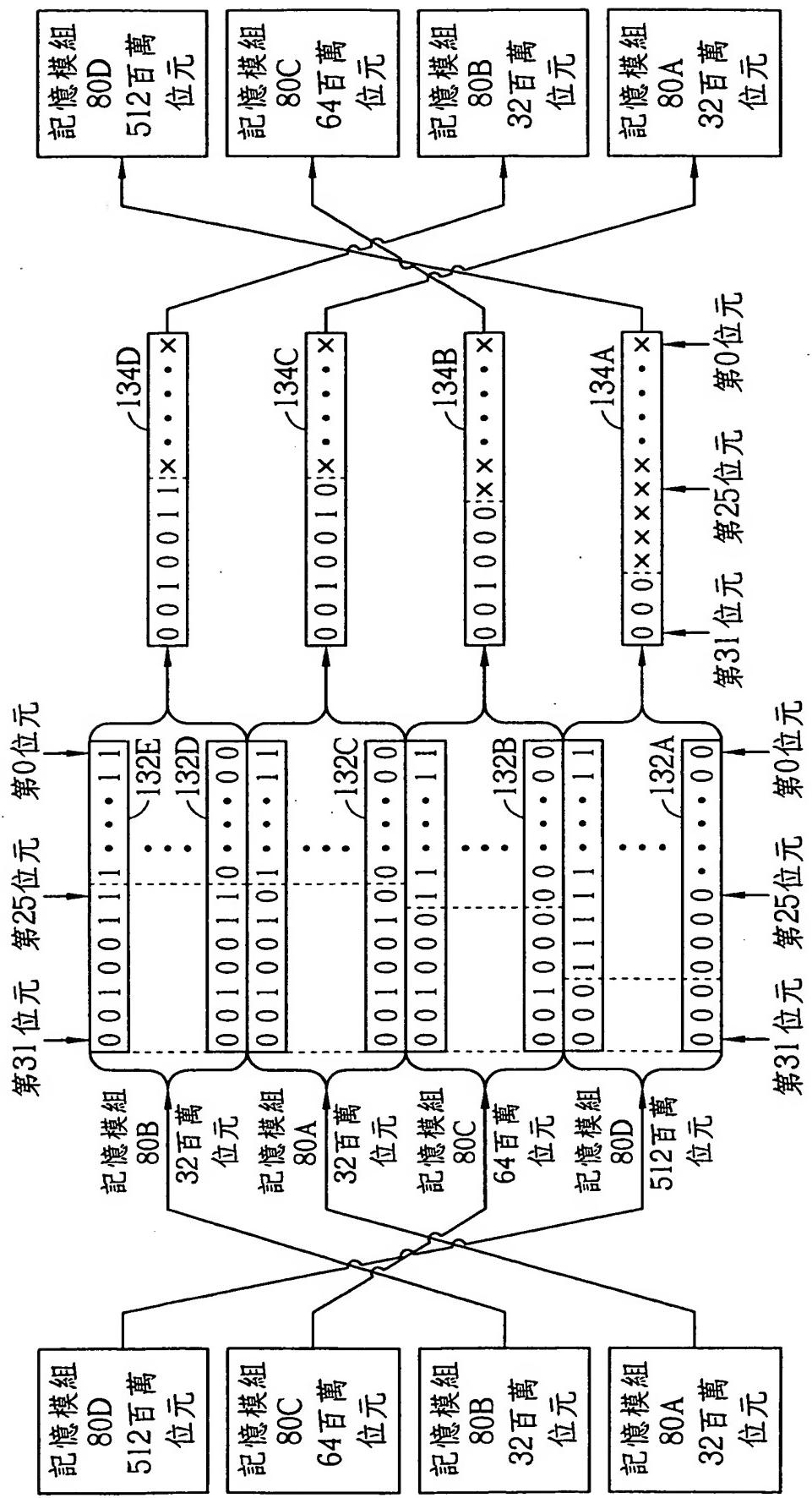
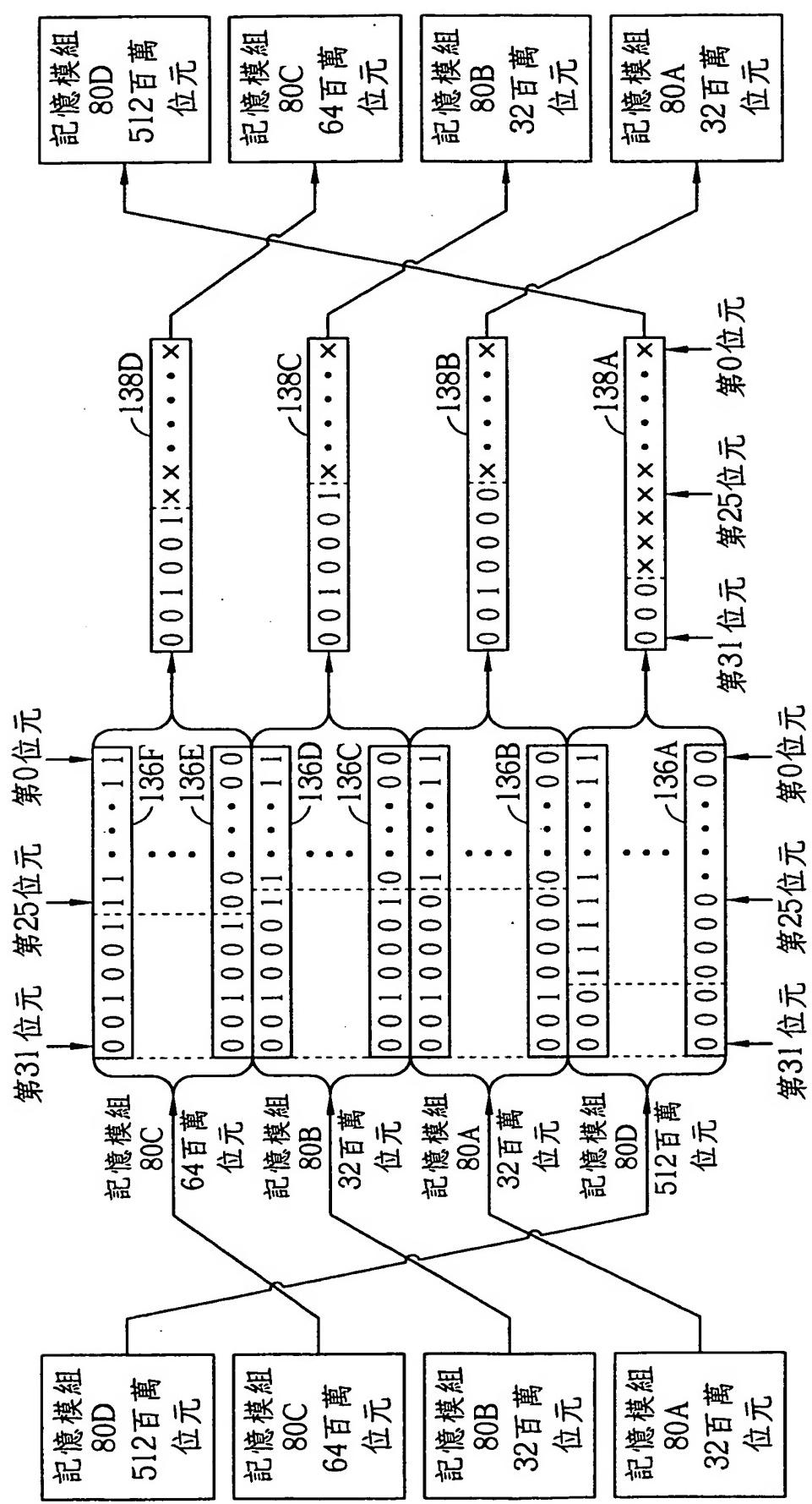
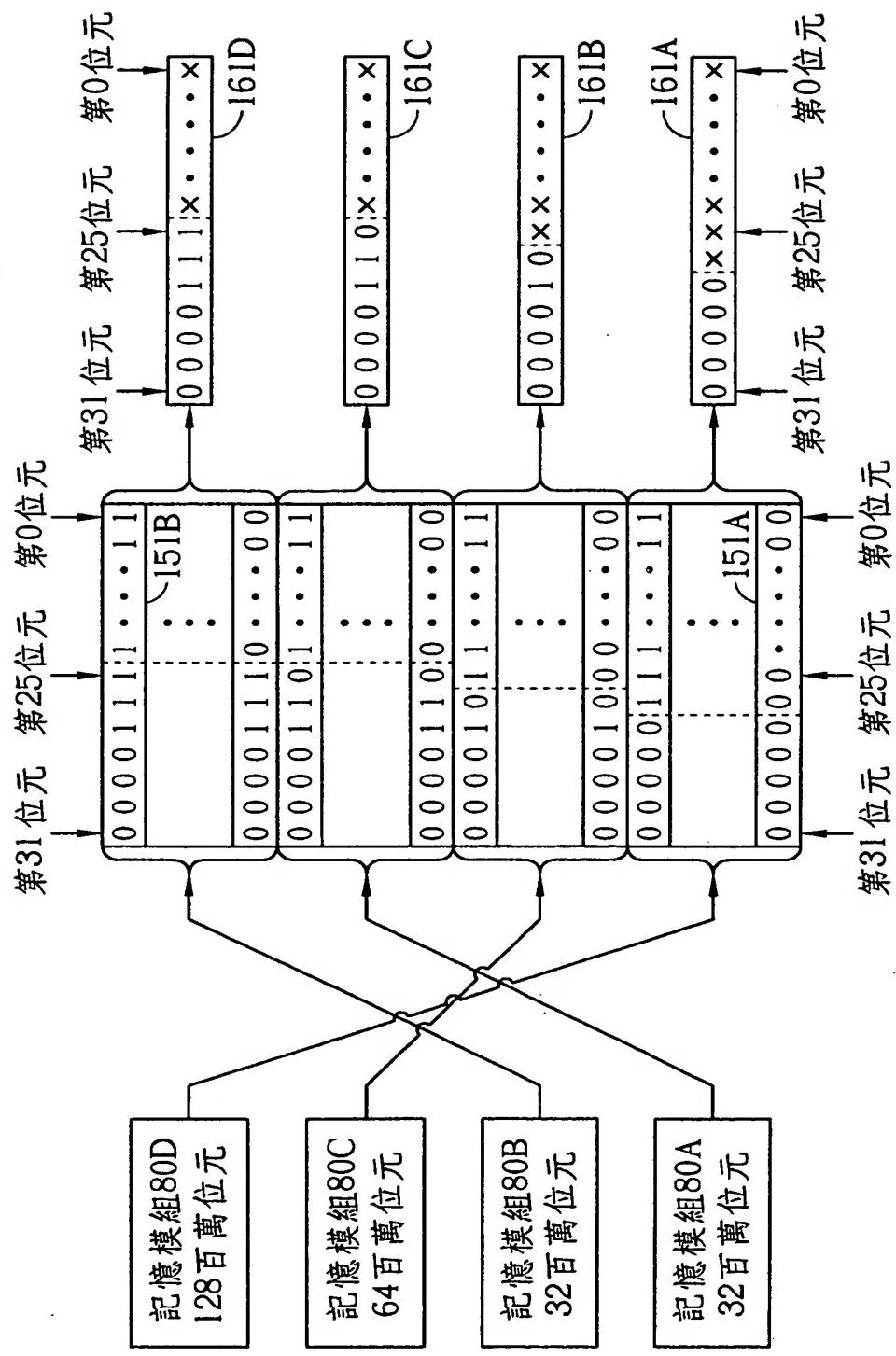


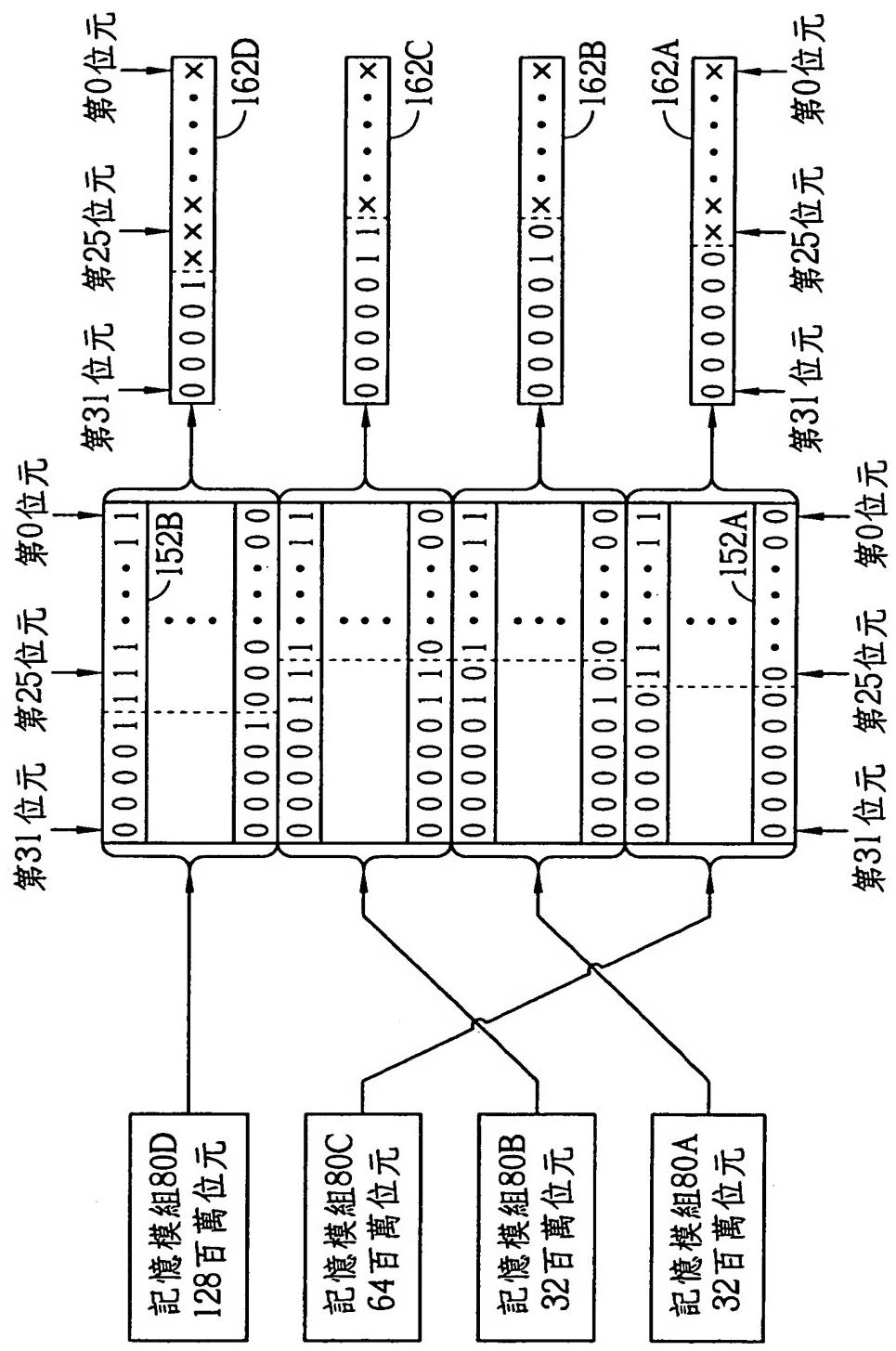
圖 A



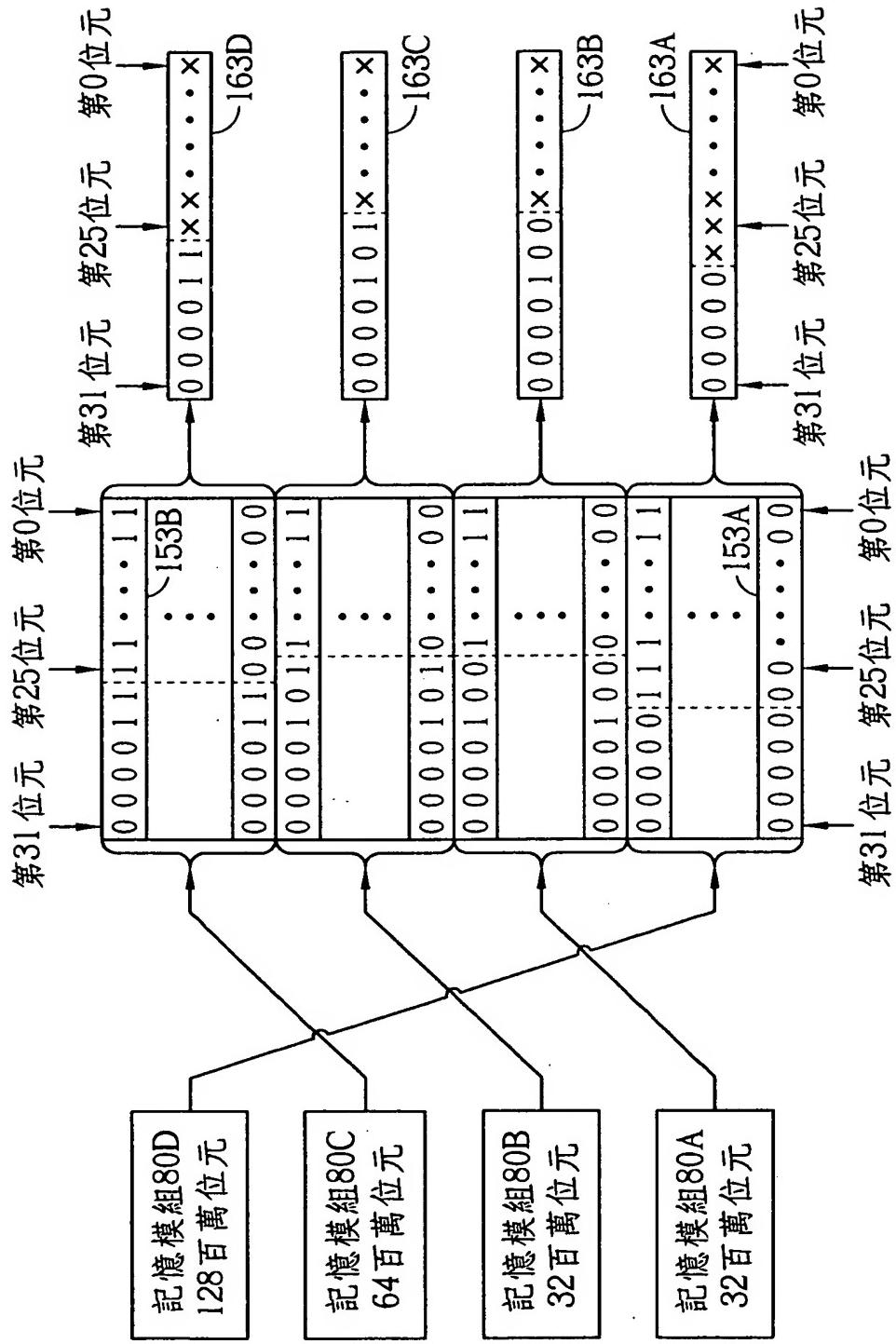
圖八B



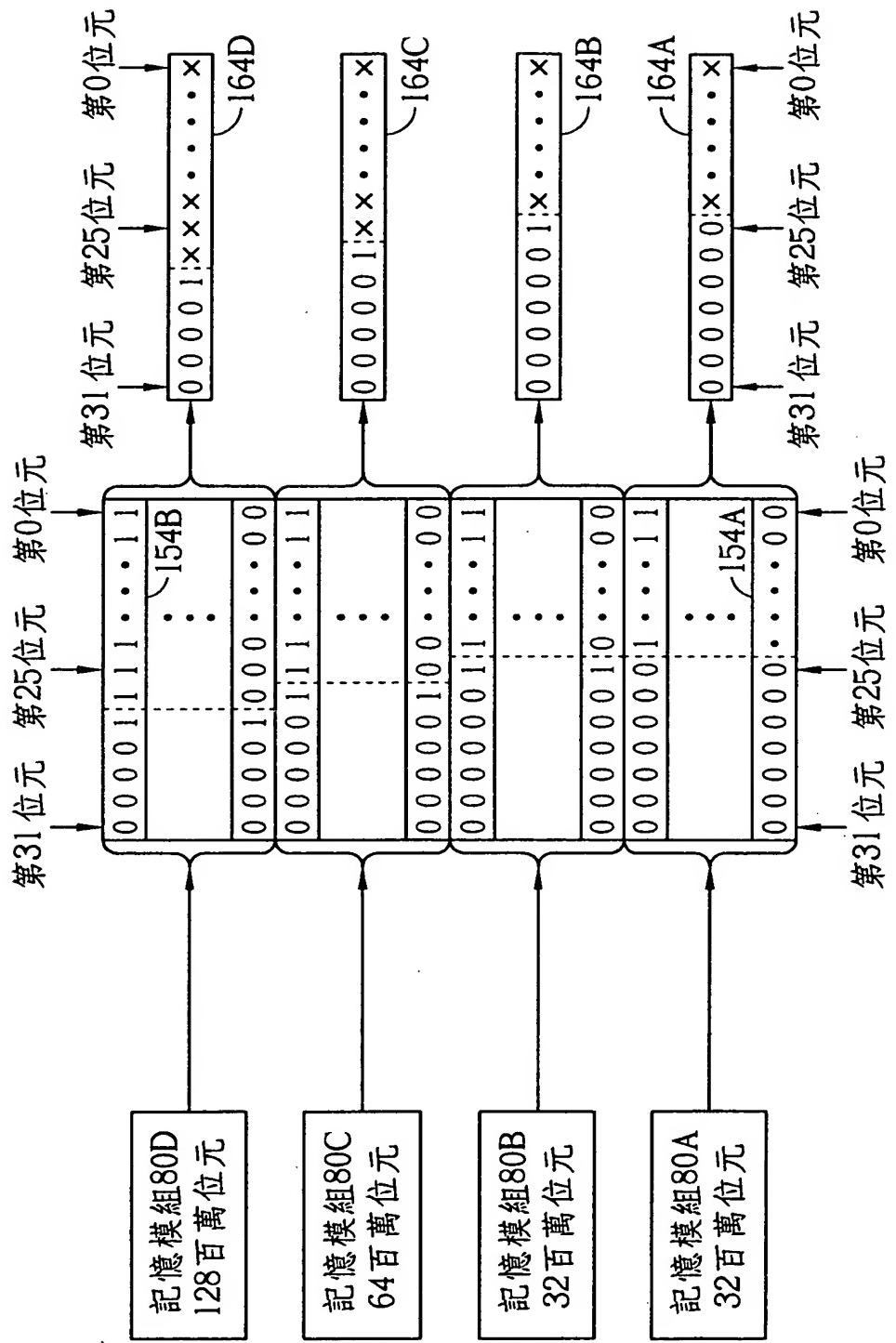
圖九A



九B

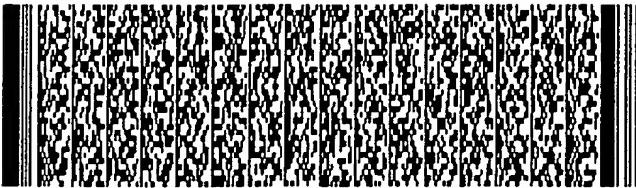


圖九C

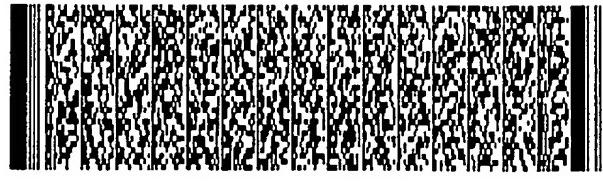


圖九D

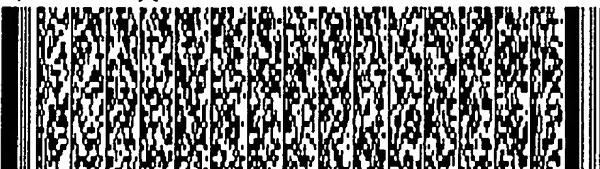
第 1/48 頁



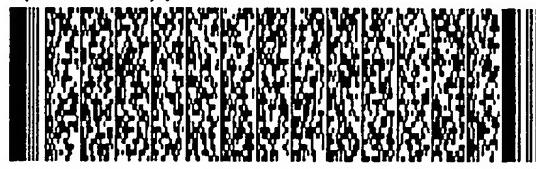
第 2/48 頁



第 2/48 頁



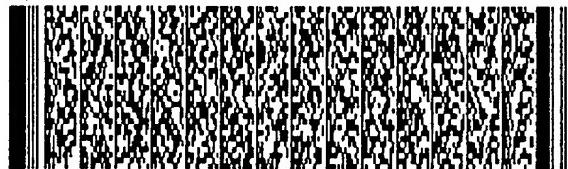
第 3/48 頁



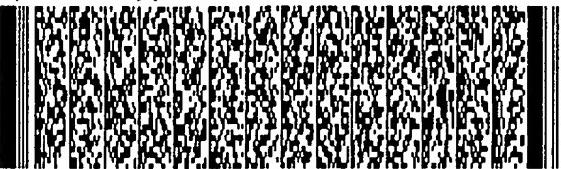
第 4/48 頁



第 5/48 頁



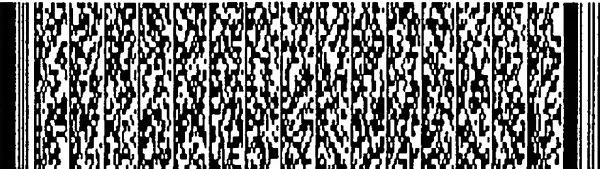
第 5/48 頁



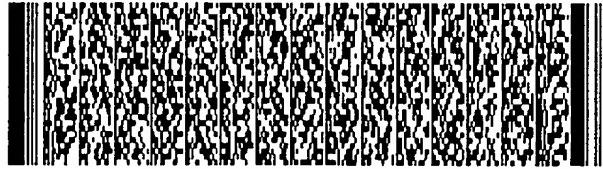
第 6/48 頁



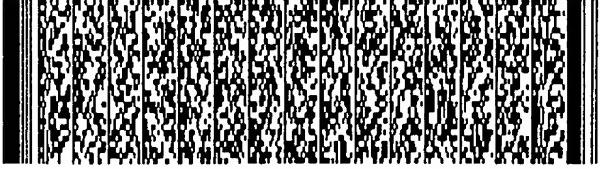
第 6/48 頁



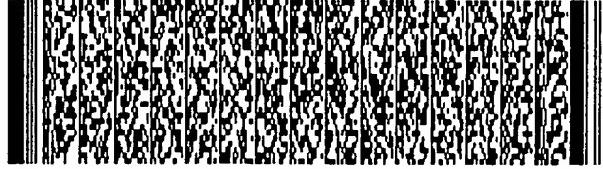
第 7/48 頁



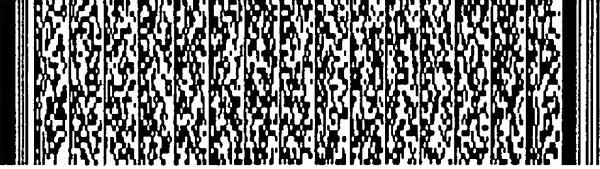
7/48 頁



第 8/48 頁



第 8/48 頁



第 9/48 頁



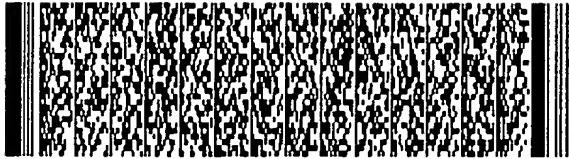
第 9/48 頁



第 10/48 頁



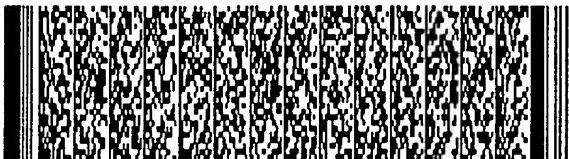
第 10/48 頁



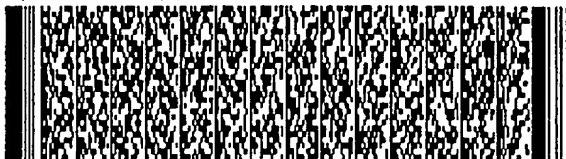
第 11/48 頁



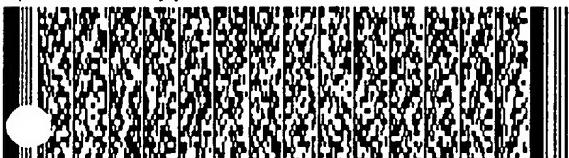
第 11/48 頁



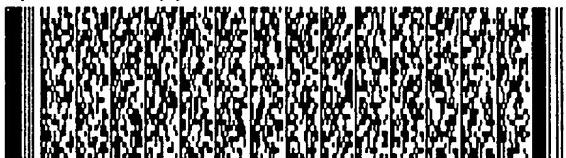
第 12/48 頁



第 12/48 頁



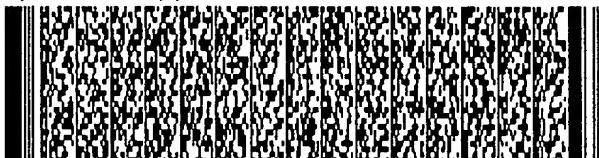
第 13/48 頁



第 13/48 頁



第 14/48 頁



第 14/48 頁



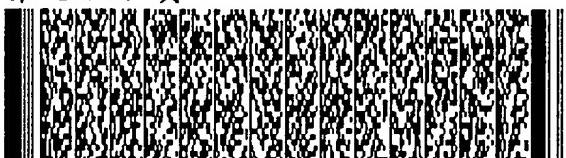
第 15/48 頁



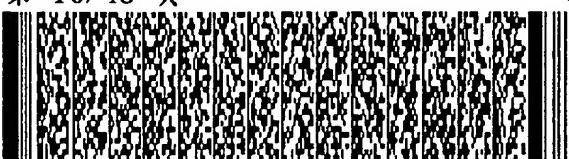
15/48 頁



第 16/48 頁



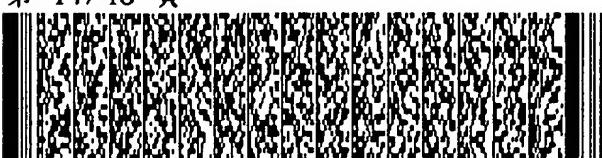
第 16/48 頁



第 17/48 頁



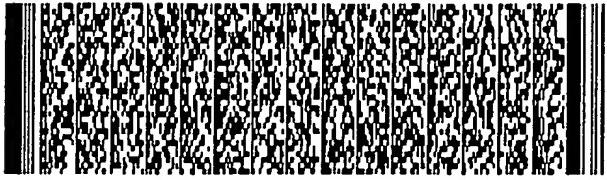
第 17/48 頁



第 18/48 頁



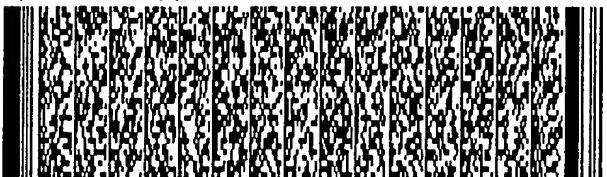
第 18/48 頁



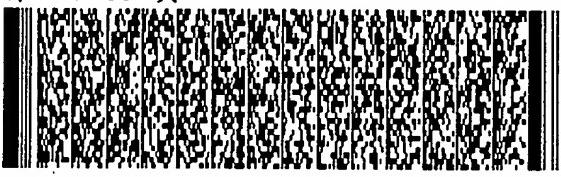
第 19/48 頁



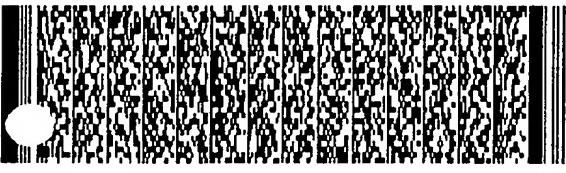
第 19/48 頁



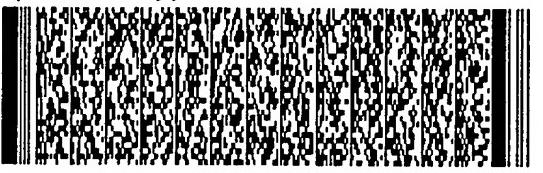
第 20/48 頁



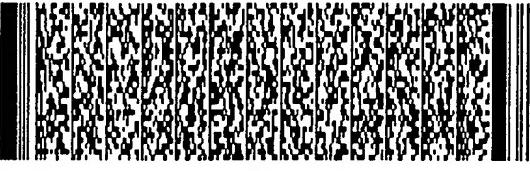
第 20/48 頁



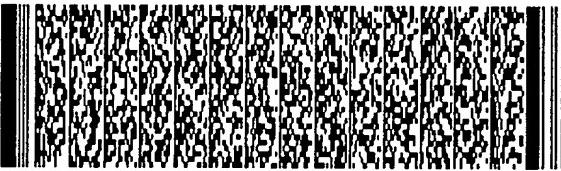
第 21/48 頁



第 21/48 頁



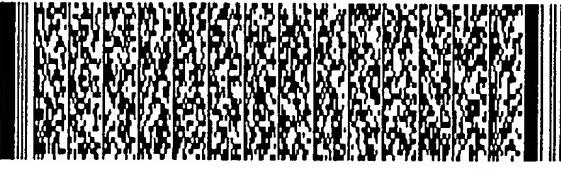
第 22/48 頁



第 22/48 頁



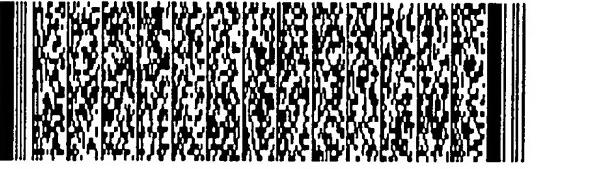
第 23/48 頁



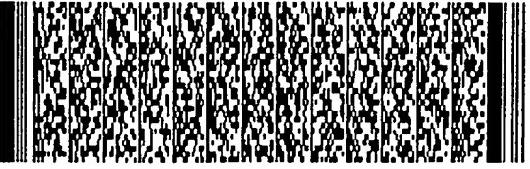
第 23/48 頁



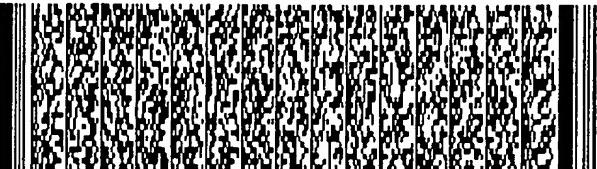
第 24/48 頁



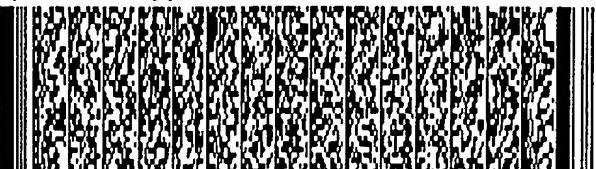
第 24/48 頁



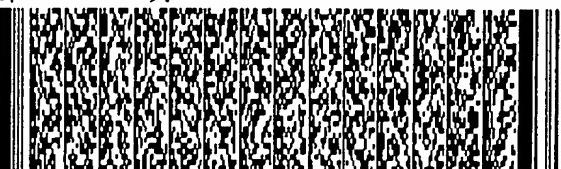
第 25/48 頁



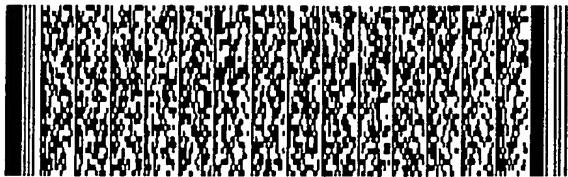
第 25/48 頁



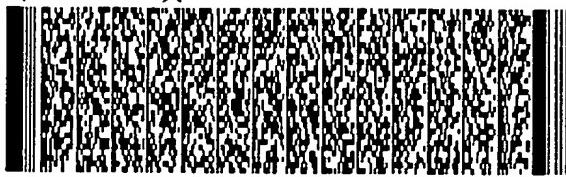
第 26/48 頁



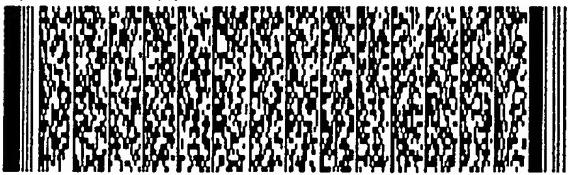
第 26/48 頁



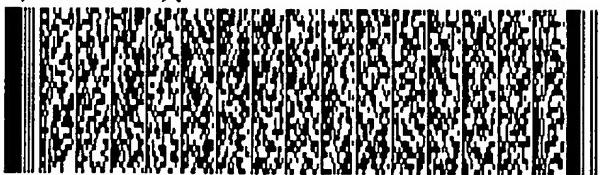
第 27/48 頁



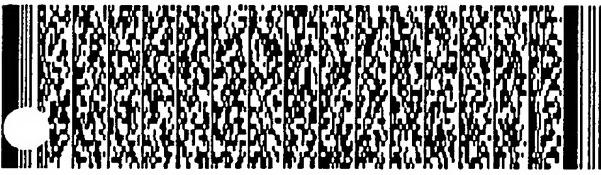
第 27/48 頁



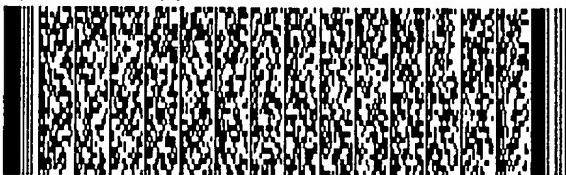
第 28/48 頁



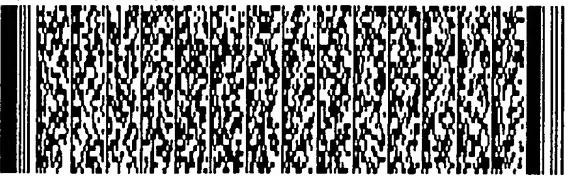
第 28/48 頁



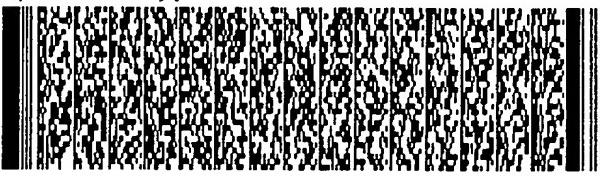
第 29/48 頁



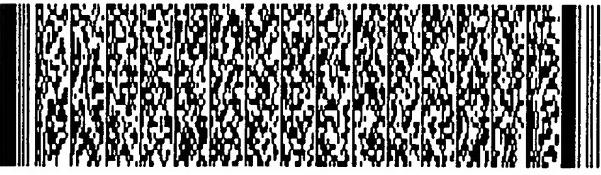
第 29/48 頁



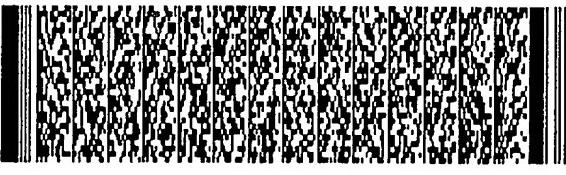
第 30/48 頁



第 30/48 頁



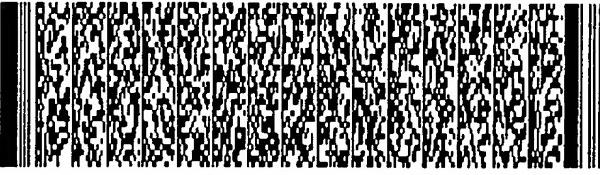
第 31/48 頁



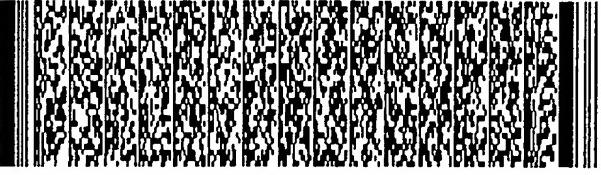
31/48 頁



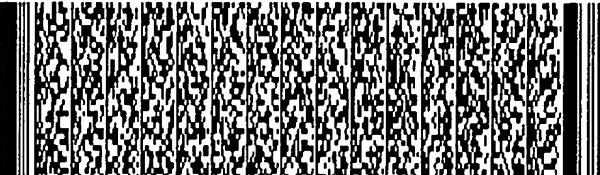
第 32/48 頁



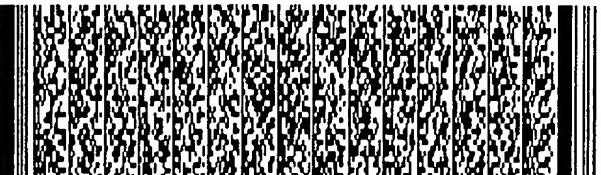
第 32/48 頁



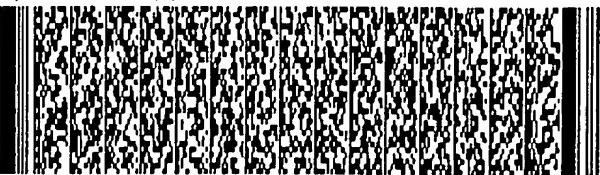
第 33/48 頁



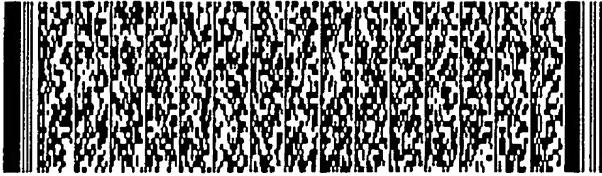
第 33/48 頁



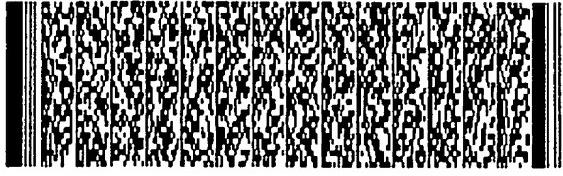
第 34/48 頁



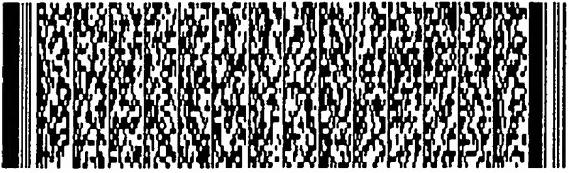
第 34/48 頁



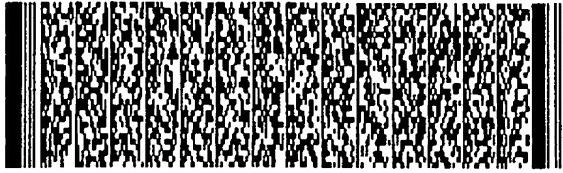
第 35/48 頁



第 35/48 頁



第 36/48 頁



第 36/48 頁



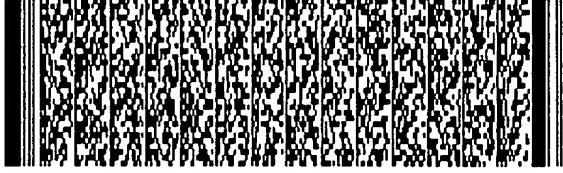
第 37/48 頁



第 37/48 頁



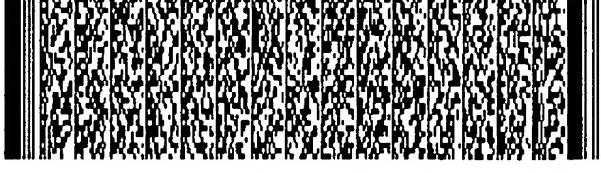
第 38/48 頁



第 38/48 頁



第 39/48 頁



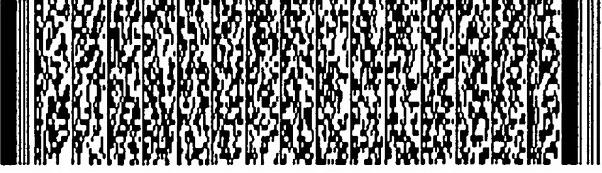
39/48 頁



第 40/48 頁



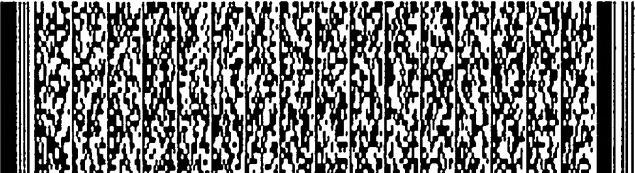
第 40/48 頁



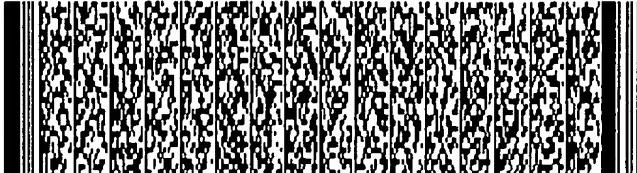
第 41/48 頁



第 42/48 頁

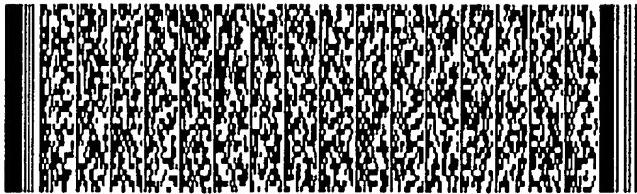


第 43/48 頁



申請案件名稱 :以互斥位元模式比對進行之記憶體位址解碼方法及相關裝
置

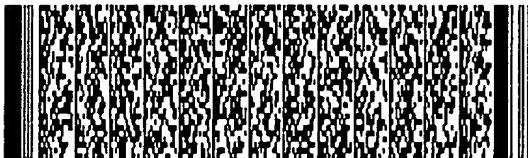
第 44/48 頁



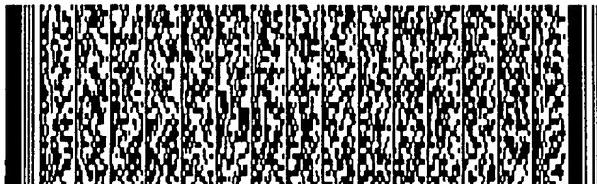
第 45/48 頁



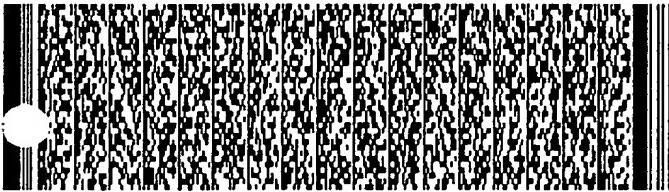
第 45/48 頁



第 46/48 頁



第 47/48 頁



第 48/48 頁

